

(TSRI) P15-111B 查結果報告

公告時間： 111 年 07 月 25 日

注意事項：

1. 在申請者回覆審查委員建議期間內，不再另行通知或催繳等動作；若未能即時上傳資料者，將取消下線資格，請務必確實掌握回覆時間。
2. 設計者之修改資料或補交資料，於 **111.07.29(週五) 中午 12:00 前**上傳至審查意見回覆系統（操作步驟：TSRI 網頁→晶片製作→下線申請→下線申請總表→審查意見回覆上傳），若有相關問題可聯絡下列人員：
 - a. 使用 full-custom：
陳益誠先生(Email:ycchen@narlabs.org.tw; TEL：03-5773693 ext. 7201)。

說明事項：

1. 此報告包括**參加審查會議及書面審**之審查結果報告。
2. 申請編號中，序號英文字母代表：A:10%部分負擔，E:教育性晶片，N:新進教師晶片，I:優良晶片。序號之尾端字母代表：a:使用Cell-based Design Kit，m:使用Multi-option-MEMS(TSRI MEMS後製程)，M:整合晶片。
3. 下線之優先順序按審查評分標準：A-極推薦，B-推薦，C-勉予推薦，D-視面積使用情況下線，F-不予下線；若遇評比相同時，則以指導教授之加總積點較高者優先下線。無論評定為何種等級(A, B, C, D)皆務必照所有委員之評審意見(含修改/建議)作回覆(修改或說明)。
4. 凡是委員有要求修改Layout的申請者必須重新跑過Calibre DRC (**GaN25/P15:Assura DRC**)；如繳交Layout後有DRC錯誤者即不予下線。若資料無法上傳，請務必與承辦人員聯繫及確認。
5. 請設計者確實核對所列包裝方式是否正確，以免日後造成無法封裝；若委員建

議修改亦需變動打線圖時，**請務必重新上傳更新之打線圖**。(重要：若因變動打線圖而需更改申請包裝形式者，敬請務必與承辦人員進行確認，以避免日後晶片費用計算有問題因而影響您的權益。)

6. 請佈局需修改的申請案按照委員建議進行修改，否則將以回覆委員建議未完全而不予下線，**請注意!依規定，不可比原佈局增加長寬邊的長度，違者則不予採用已修改之佈局檔案。**
7. 安排晶片下線即依排序標準安排製作（同等級時依加總積點高者優先排序；等級評定為C/D之晶片，TSRI具彈性下線調整權），至該梯次面積用完為止，TSRI在送交製作前將公佈下線資料，未能安排製作之晶片，無論評定等級為何，不予保留至下梯次製作。
8. 此梯次的「審查結果報告」亦公佈於網路 (<https://www.tsri.org.tw>)之「資訊公開→最新公告」，下線晶片資料隨後公佈，歡迎查閱。

審查結果

申請編號 P15-111B-A0001

專題名稱 8~12GHz波段低雜訊放大器之設計

晶片形式 Package:N/A + DieSort:18EA

評比: **D**

是否開放修改Layout: **N**

建議/修改

1. 題目為"8~12GHz波段低雜訊放大器之設計"，但是在整個頻率範圍增益落差達到5dB，建議應該注意增益平坦性。
2. 建議模擬IP3特性。
3. 是否有考慮Gate voltage偏壓更低一些，偏壓在0V可能電流會太大，不見得是最好的偏壓點。
4. 模擬結果請秀出 0-20GHz的Gain/NF/Return loss/Stability，不能只看所需的頻率。
5. 是否有做EM模擬？以確保走線沒有問題。
6. 與文獻相比較，應找國外期刊才能跟世界第一流的設計相比。
7. 量測考量沒有寫到NF如何量測，煩請補上。
8. Stability的作圖，Y軸Scale請改成0-10，不然以現在的Scale(0-10⁵²)，什麼都看不出來。

9. 若為寬頻設計應再考慮其他架構，增益平坦度不合乎規格，12GHz之後的穩定性也應補齊。
10. S11在不同頻率差異太大，且測試計畫不完整未將LNA全部的參數都測量完成。
11. 報告過於簡略，沒有討論電晶體尺寸與偏壓選擇。
12. 兩電晶體的Gate端之直流皆為接地，造成電晶體Vgs為 0 V。此偏壓遠高於電晶體的轉導峰值，不但增益與雜訊特性不佳，且直流功耗極大。
13. 汲極端沒有設計旁路(Bypass)電路。
14. 直流電流極高，所通過的金屬寬度可能不足以承載如此高的電流，尤其在電感跨橋(Air-bridge)處僅有單層金屬。
15. 架構只為兩級，第一級CS with source degeneration及第二級為Feedback，沒有創新性。
16. 模擬頻8-12 GHz的增益> 3dB變化量且Pre-sim/Pos-simu差異超過3 dB。
17. 整體特性在最佳化上並沒有完整。
18. LNA通常是看線性度，P1dB沒有太大意義。
19. 報告撰寫簡單且無電路說明。
20. 電路模擬請加入變異考量。

申請編號 P15-111B-A0002

專題名稱 X-Band低雜訊放大器之設計

晶片形式 Package:N/A + DieSort:18EA

評比: D

是否開放修改Layout: Y

建議/修改

1. 因為pHEMT的Source via不易得到正確的疊接式電晶體模型，且操作於8-12 Ghz common source pHEMT可提供足夠且可優化的Gain, NF, IIP3等LNA 規格，請說明何以採用Cascode topology的原因。
2. 設計考量說明不足，補充說明Device size selection, bias conditions, noise circle, Gain circle等設計考量流程。
3. 需要考量Gain flatness規格，本設計Gain為11.2-16.4 dB的變化量，0.5W的功耗，應該無實用價值。
4. 未說明偏壓電路考量，如In-band bypass, out-of-band bypass。另外，因為是Two-stage design，請補充級間穩定度模擬。
5. Return loss請取正號。
6. 文獻比較表僅列兩篇(年份較早)，其中一篇為國內碩士論文，代表性不足；在這頻段應該有很多特性很好的LNA發表，請列出做公平的比較。
7. 對LNA設計來說，功率消耗過高。
8. 8-12GHz之S21相當不平坦，請說明原因。
9. 應列出低頻0.1GHz到高频30GHz全頻段的頻率響應S21, S11及S22。
10. 功率消耗500mW但是OP1dB最多只有0dBm左右，雖然LNA較不在乎效率，但是用這麼多功耗，只能到如此的輸出功率，操作效率相當差，請說明原因。
11. 完全沒有任何平坦增益的頻寬，看起來沒花足夠心思設計阻抗匹配。
12. 無Gate bias，只有Q1是接地。

13. 沒有On-chip bypass cap。
14. 請補充Process/Voltage/Temperature變異模擬結果。
15. 請補充IP3變異模擬結果。

申請編號 P15-111B-A0003

專題名稱 應用於30-50 GHz之低雜訊放大器

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

1. 本設計使用3-stage 30-50GHz低雜訊放大器，其元件選擇、架構考量、設計流程與電性模擬均完整呈現。模擬特性良好。
2. 偏壓電路未採用Out-of-band bypass，需留意低頻振盪。另外，因為是Three-stage design，請補充級間穩定度模擬。
3. 請補充線性度模擬特性 (IIP3)與分析。
4. 雖然Claim頻寬有21.4-50 GHz，但是S11/S22在超過40GHz與小於30GHz就變很差。
5. 請模擬Power performance，OP1dB。
6. 請補充Process/Voltage/Temperature變異模擬結果。
7. 請模擬RC feedback的R與C變異時，對整體特性的影響。
8. 寬頻設計不能只針對Gain，Return loss和NF在頻帶兩端都非常差，達不到夠寬頻寧可縮小頻寬以換取更佳的Ggain, return loss和NF。
9. 請具體說明此電路的應用領域。

申請編號 P15-111B-A0005

專題名稱 使用帶拒濾波器之毫米波非對稱式收發開關

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

1. 本專題為二次改版設計，在TX路徑改為二階帶拒濾波器，改進前一版接收模式隔離度與頻寬，模擬規格良好，且具可行性。
2. 已列出TX-Mode IP1dB (@40 GHz)可達32.8 dBm規格，請補充SW常使用之IP0.1 dB規格。
3. 此申請案為前次下線電路的改版，可附上一些前次的量測結果與電路圖，來更清楚說明此次做了那些修正。
4. 非對稱式的架構，TX的功率承受能力較佳，但是本次設計用兩級網路設計，重新加入Shunt電晶體，是否又會限制TX的功率承受能力？請模擬一般非對稱式的架構與本次架構的OP1dB比較。
5. 比起已發表論文，Isolation還是稍差。
6. 在40GHz是否有足夠高的Source來測試此電路的OP1dB？
7. TX頻帶往高頻端偏移了5-6GHz，為何不修正改善？

8. 缺少比較Pre-sim和Post-sim結果。
9. 如同申請者所言，FET gate端負偏壓時，電壓大小影響寄生電容值甚鉅，進而可能造成頻偏或隔離度劣化，應該將不同負偏壓值的效能比較圖清楚標示出來以做為量測時的參考。

申請編號 P15-111B-A0006

專題名稱 適用於車用防撞雷達系統之毫米波高線性度功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. 24 GHz頻段應用於Short range車用防撞雷達即將回收，宜留意其應用性。
2. 本設計使用3-stage 24-29.5 GHz功率訊放大器，其元件選擇、架構考量、Power/gain budget與Loadpull analysis等設計流程與電性模擬均完整呈現，模擬特性良好。
3. 請說明是否採用Out-of-band bypass偏壓穩定電路，以防止低頻振盪？
4. 本設計主題為適用於車用防撞雷達系統的高線性度PA，但是雷達系統對PA的線性度要求似乎沒有那麼高，請從雷達系統角度，說明此PA設計目標與要達到多少OIP3 spec.，或對PA線性度要求的Spec.為何？
5. Power stage是否有做Odd mode oscillation的分析？
6. 使用了不少小電容做匹配，請模擬C變異時，對整體特性的影響。
7. 目前商用汽車防撞雷達都已改用77GHz頻段，為何選擇設計24GHz頻段？
8. 電路運作原理與設計步驟在申請書都解釋得很清楚，但Process/Voltage/ Temperature變異模擬都沒附上，請增補之。
9. 汽車防撞雷達現階段使用FMCW的信號型態最普遍，此種信號可用非線性放大器(例如Class-C)以提升效率，本專題電路應該如商用ADI的產品適用於無線傳輸或衛星通訊上。

申請編號 P15-111B-A0008

專題名稱 應用於超導量子位元信號讀取之0.15微米GaAs pHEMT 低雜訊放大器

晶片形式 Package:N/A + DieSort:18EA

評比: **C**

是否開放修改Layout: **N**

建議/修改

1. 未說明如何進行低溫量測。
2. 如何分析溫度對電路性能的影響？特別是雜訊特性；且如何評估低至-100dBm信號的電路性能是否能正常放大。
3. 為何後面幾級要使用RLC feedback，跟RC feedback比起來，多加上Ind有什麼好處？
4. P1B是否可以滿足系統要求？以及是否有做全佈局的EM模擬？
5. 應提供電路之IP1dB與IIP3之模擬結果。
6. 由於增益高達40 dB，需確認網路分析儀校準的Input power level需比電路的IP1dB低至少5-10 dB。

7. 第一級為何電感要兩顆並聯?
 8. S11和S22在4-10 GHz並沒有全部低於10 dB。
 9. 電路模擬請加入變異考量，並提供線性度結果。
 10. Layout上電容大小是否有考量共振頻段以及線寬是否有考量電流密度?
-