

# (TSRI)GaN12-115A 審查結果報告

公告時間：115年02月03日

## ◎注意事項：

1. 在申請者回覆審查委員建議期間內，不再另行通知或催繳等動作；若未能即時上傳資料者，將取消下線資格，請務必確實掌握回覆時間。
2. 設計者之修改資料或補交資料，於 **115/02/06(五)中午 12:00 前** 上傳至審查意見回覆系統（操作步驟：TSRI 網頁→會員服務平台→晶片下線申請→相關連結→下線申請總表→審查意見回覆上傳），若有相關問題可聯絡下列人員：

**陳益誠先生**(Email: [ycchen@niar.org.tw](mailto:ycchen@niar.org.tw) ; TEL : 03-5773693 ext.7201)

## ◎說明事項：

1. 申請編號中，序號英文字母代表：A:10%部分負擔，N:新進教師晶片。
2. 下線之優先順序按審查評分標準：A-極推薦，B-推薦，C-勉予推薦，**D-視面積使用情況下線，F-不予下線**；若遇評比相同時，則以指導教授之**加總積點較高者優先下線**。無論評定為何種等級皆務必照所有委員之評審意見(含修改/建議)作回覆(修改或說明)。
3. 晶片下線依上述排序標準安排製作(等級評定為**A, B, C, D**之晶片，本中心具彈性下線調整權)，至該梯次面積用完為止，未能安排製作之晶片，無論評定等級為何，不予保留至下梯次製作。
4. 凡是委員有要求修改Layout的申請者必須重新跑過Calibre DRC；如繳交Layout後有DRC錯誤者即不予下線。若資料無法上傳，請務必與承辦人員**03-5773693 ext. 7201與陳先生**聯繫及確認。
5. 請佈局需修改的申請案按照委員建議進行修改，否則將以回覆委員建議未完全而不予下線；**請注意！依規定，不可比原佈局增加長寬邊的長度，違者則不予採用已修改之佈局檔案。**
6. 此梯次的「審查結果報告」亦公佈於網路 (<https://www.tsri.org.tw>)之「資訊公開→最新公告」，下線晶片資料隨後公佈，歡迎查閱。

## 審查結果

**申請編號：GaN12-115A-A0001**

專題名稱：利用動態匹配目標路徑對齊法之 Ka-band 功率放大器設計

晶片形式：Package：N/A+DieSort：18EA

評比：B

是否修改 Layout：N

建議/修改：

1. 設計所提出的 4W 38 ~ 42 GHz GaN 功率放大器使用之寬頻 frequency dependence load pull data 是不錯的設計方法，惟仍屬傳統的微波功率放大器的技巧，應不具創新性。
2. 建議分析採用 .55 mm (first stage) 推動 2 mm (second stage) 包括 inter-stage match loss 是否可操作在 40 GHz，另外，採用 OSV 節省面積，可能無法充分散熱。
3. 採 C/I 模擬較少用於評估功率放大器的線性度，請補充 OIP3 simulation 說明線性度指標。
4. 比較表僅以兩個 GaAs pHEMT 電路比較，除範例過少，亦應用同一種製程做比較。
5. It most likely the device layout related load-pull testing results optimization, if so, the parasitic effect and thermal effect were two key points which are not emphasized in report.
6. The ACLR related linearity results need to be added.
7. 10%頻寬不算太寬，應該不難達到 10dB input return loss, 最差的 7dB 應該容易改善。
8. 使用 TT model 設計,而 c.corner simulation 的 SS 特性最好顯示阻抗匹配有偏差。
9. QAM64 通訊要求 CNR 至少 20dB 才實用, CIR 需要更高些, 38GHz 的模擬結果不太足夠。

**申請編號：GaN12-115A-A0002**

專題名稱：使用氮化鎵 HEMT 製程技術實現 C-band 高效率功率放大器

晶片形式：Package：N/A+DieSort：18EA

評比：C

是否修改 Layout：N

建議/修改：

1. 申請書無電路圖，無法評估電路設計合理性，電路設計上請補充電路圖和說明。
2. S 參數在在 4.6 GHz 的部分 pre-simu 和 post-simu 差異為何?
3. RF 輸入和輸出採用 bonding 是否有考量寄生效應?
4. 比較表應該加入線性度和 FOM
5. 效能比較表顯示本案輸出匹配網路以 Hybrid 方式完成，亦即需要打線並做 PCB 輸出匹配網路設計與模擬，但申請書皆未提及。
6. 請補充製程變異與電源變動之模擬結果，溫度變異亦需有低溫時之效能數據。
7. 申請書提到量測時要以 802.11ac 調變信號觀測放大器輸出信號失真度 EVM，請先以模擬方式預先評估其結果。

**申請編號：GaN12-115A-A0003**

專題名稱：基於頻率軌跡追蹤技術之 Ku 頻段 GaN 功率放大器設計

晶片形式：Package：N/A+DieSort：18EA

**評比：B**

**是否修改 Layout：N**

**建議/修改：**

1. 本設計所提出的 4W 10 ~18 GHz GaN 功率放大器使用之寬頻 frequency dependence load pull data 是不錯的設計方法，惟仍屬傳統的微波功率放大器的技巧，應不具創新性。申請書對提出 frequency dependence ZLload (f) 據以完成共軛匹配，且設計流程完整，本設計應具實用性。
2. 整體頻寬內 gain flatness 不佳，需要再改進。
3. 兩個 1 mm 電晶體間宜加入隔離電阻，防止奇模振盪。
4. The gain flatness need to be improved for wideband group delay consideration.
5. The PAE and OIP3 simulation through wide band need to be added
6. Is the wideband design suitable for the frequency locus tracking PA? Or ACLR more significant?
7. 對 8GHz 頻寬 PA, 只針對三個頻點進行大訊號模擬非常不足夠，尤其 Gain 變化超過 10dB, Input 和 output return loss 又不好.
8. 只強調縮小面積和大頻寬，而特性不好並不值得.

**申請編號：GaN12-115A-A0004**

專題名稱：7~15 GHz 氮化鎵單刀雙擲開關

晶片形式：Package：N/A+DieSort：18EA

**評比：C**

**是否修改 Layout：N**

**建議/修改：**

1. 規格表中列，隔離度應大於某個值非小於某個值。
2. Insertion loss 較大多數文獻差，請分析其原因。
3. shunt 電晶體為何採用兩顆?
4. 電路面積太大，請縮小面積。
5. 特性相較其他論文較差是否有機會改善?
6. series 電晶體只採用一級而 shunt 卻用了二級的原因為何?
7. 請補充低溫時之模擬數據。
8. 請補充 IP3 模擬結果。
9. 請補充控制電壓變動之模擬結果。

**申請編號：GaN12-115A-A0006**

專題名稱：應用於 Ka-band 之 1W 多特蒂功率放大器

晶片形式：Package：N/A+DieSort：18EA

**評比：B**

**是否修改 Layout：N**

**建議/修改：**

1. PAE 在 6dB back off region 並沒有 peaking，因此比起其他已發表論文 PAE 特性不好，似

乎沒有達成 Doherty 架構的特性。

2. 此為多級放大器，應模擬級間穩定度。

3. 請模擬當 peaking amplifier 關到開時候，main amplifier 看到的負載是否有滿足 Doherty 架構所需要的變化？

4. PA architecture is not new. Novelty is low.

5. What is the effect of  $V_{g1}$ ,  $V_{g2}$  and  $V_{g3}$  variation for output power and gain flatness?

6. The design should clearly show the advantages of Doherty PA with high efficiency at high output power.

7. 既然是 Doherty amplifier，是否在 6dB back off 時也該有比較好的效率？

8. 是否有模擬 inter-stage stability?

9. Bypass cap 是怎麼設計的？為什麼要加上電阻？

10. 圖 1 上電路圖中為什麼需要 R5？用意是什麼？

11. 利用非對稱 Doherty 架構，透過放大輔助放大器之電晶體尺寸以改善輸出功率回退區間的效率表現，具有新穎性，並有附實驗結果輔助證明設想。

12. 最後的論文比較中效率尤其是@6dB 似乎沒有表現比較好，感覺還是需要在考量一下。

13. 本設計根據最佳阻抗點  $R_{opt}$  調整元件值，請問最佳阻抗點  $R_{opt}$  是多少？

**申請編號：GaN12-115A-A0007**

**專題名稱：**一款採用回授穩定化並改善增益平坦度（雜訊指數約 3 dB）的 Ka 頻段 28 GHz 氮化鎵低雜訊放大器

**晶片形式：**Package：N/A+DieSort：18EA

**評比：C**

**是否修改 Layout：N**

**建議/修改：**

1. 請說明為什麼量測的 NF 遠優於 post-sim? 又為什麼在 31Gz 後，量測 NF 急遽惡化?

2. 功率消耗相當大，對系統來說，低雜訊放大器不應該消耗如此高的功率消耗。

3. IP3 只有 -10dBm，比起 IP1dB 還要低，請說明為什麼?

4. The power consumption 702mW is too large. The design should reduce it.

5. The state-of-the art comparison tale did not show the advantage of this design. Designer should enhance its performance.

6. What is the effect of  $V_{g1}$ ,  $V_{g2}$  and  $V_{g3}$  variation for noise figure and gain flatness?

7. 圖 1 上電路圖中為什麼 C2/C3 串聯? 中間有 floating node 是否會有問題?

8. Bypass cap 是怎麼設計的？為什麼要加上電阻？

9. 前一版的 NF，雖然量測結果相當好，但是為什麼和模擬相差這麼多？

10. 圖 20 post-sim 結果，S11 只有 3dB 不到，這樣是可以接受的嗎？系統上可能沒辦法用。

11. 模擬驗證部分涵蓋 S 參數、雜訊指數、穩定度、線性度（P1dB、IP3）、製程角落與偏壓掃描等項目，結果顯示本設計於 26.38–29.14 GHz 頻帶內可維持  $NF < 4$  dB，並具備良好之增益平坦度與穩定性，符合 Ka 頻段接收端之前級放大需求。

12. 因為低雜訊放大器是接收機射頻前端的第一級電路，所以本專題之輸入端 Return Loss 大於 3 dB 的預計規格比較沒有實用性；請試著使輸入端 Return Loss 模擬結果  $\geq 10$  dB。

**申請編號：GaN12-115A-A0008**

專題名稱：具高線性度之 28 GHz 氮化鎵雙刀雙擲射頻開關設計

晶片形式：Package：N/A+DieSort：18EA

評比：D

是否修改 Layout：N

建議/修改：

1. 比起其他已發表論文 isolation 特性較不好，請說明原因，是否與什麼特性有取捨?
2. 控制電壓設定在 5/-5V，請確定這個製程電晶體 gate 端可以給到 5V 這麼高的電壓?
3. 請模擬 OIP3 等線性度特性。
4. Insertion loss 3 dB is too large.
5. Small-signal isolation -15dB is not enough. It will become worse when the operating power is increased.
6. The P1dB simulation results in Fig. 22 and 23 were not correct. The designer should check them thoroughly.
7. The design did not lavage the benefit of GaN process. No any new results were indicated in this tapeout.
8. 在效能比較表中，isolation 是 20dB，但是 post-sim 結果中只有 17dB? 另外 isolation 與其他人相比，差了很多，原因是什麼? 這樣的 isolation 是可以用的嗎?
9. 在效能比較表中，頻寬與其他人相比很窄，但是特性差不多甚至更差，可能原因是什麼?
10. 為什麼圖 3 電路圖中 C9/C10 要串聯? Layout 上看起來像是並聯兩顆?
11. 清楚說明研究動機，並從系統整合角度出發，合理選擇以反向串接 SPDT 架構實現 DPDT 功能，有效避免交叉佈線問題，具備實務可行。
12. 請問旁路電容(C5~C8)的電容值是多少?電容越大，伴隨而生的寄生效應也越大，而影響高頻雜訊旁路到地的效果。請補充旁路電容的全波電磁模擬結果並呈現其電容值與 Q 值 (Quality Factor)的頻率響應。

**申請編號：GaN12-115A-A0009**

專題名稱：針對 HAPS 高空通訊平台應用之 Ka-Band 4 瓦氮化鎵功率放大器

晶片形式：Package：N/A+DieSort：18EA

評比：B

是否修改 Layout：N

建議/修改：

1. 本設計所提出的 4W 38-40 GHz GaN 功率放大器使用習知設計流程，本設計創新性較低。
2. 請明確定義 Psat，申請書中 OP1dB 與 Psat 混用，無法評估其性能。
3. 請補充 OIP3 simulation 說明線性度指標。
4. 僅提供兩篇參考文獻，建議增加評估先前技藝的廣度。
5. The low PAE is not suitable for this application due to energy limitation. PAE is encouraged to be more than 30%.
6. Several low frequency oscillation (<20GHz) points appeared need to be avoided.

7. 衛星通訊用的 PA 並不要求高線性，採用 class-A 設計會犧牲 PAE.
8. 通常在 gate 串接並聯 RC 可以提升低頻穩定度，但串接在 drain 輸出應該沒有必要性.
9. 對窄頻 PA 而言，input 和 output return loss 只有 5 - 6 dB 算是很差.
10. 從 layout 看，L1 的感值應該不小，應該是當 choke 用，依尺寸估算 SRF 很可能低於 40GHz.
11. 使用 TT model 設計，而 corner simulation 的 SS 特性最好顯示阻抗匹配有偏差.

**申請編號：GaN12-115A-A0010**

專題名稱：38-42 GHz (Q-band) 5 瓦 GaN 高功率放大器設計

晶片形式：Package：N/A+DieSort：18EA

評比：C

是否修改 Layout：N

建議/修改：

1. 本設計所提出的 5W 38-42 GHz Q-band GaN 功率放大器使用習知設計流程，設計流程大致可行，惟計創新性較低。
2. 圖 1 電路架構中輸出級 gate bias 以 5 kΩ 饋入似過大，在大信號操作時會發生限流，限制輸出功率。
3. 圖 2 之偏壓電路之隔離度分析，有多處頻率皆有共振，有振盪之虞。
4. 請補充 OIP3 simulation 說明線性度指標。
5. 僅提供四篇參考文獻作為比較表，建議增加評估先前技藝的廣度。
6. No power or PAE or linearity consideration just input and output gain matching methodology
7. The GaN device is oversize of gain stage thus PAE was sacrificed.
8. Once this PA back-off for real application, the low PAE is a weak point.
9. 設計 15GHz 23dBm PA 的模擬結果和實測已經天差地遠了，沒有分析失敗原因就改設計 40GHz 5W PA 的失敗機率接近 100%.
10. 在 40GHz 用尺寸不小的 MIM shunt cap 作為阻抗匹配元件，看起來很可能是當成 shunt short stub 使用而不自覺.
11. 採用單顆 HEMT 設計輸出 5W PA，又使用窄長線條的 5kR 電阻當 gate bias line，即使不管散熱問題，也令人懷疑模擬結果的可信度.
12. 使用 TT model 設計，而 corner simulation 的 SS 特性最好顯示阻抗匹配有偏差.

**申請編號：GaN12-115A-A0013**

專題名稱：使用 GaN-based HEMT 元件設計 28GHz 之射頻 2W 功率放大器研究

晶片形式：Package：N/A+DieSort：18EA

評比：C

是否修改 Layout：N

建議/修改：

1. 此電路為修正前次下線電路的改版設計，但是並沒有找出為什麼前次設計對稱電路但是量測電流不對稱的問題。

2. layout 有相當多的空面積，有點浪費晶片面積。
3. 此為多級放大器，應模擬級間穩定度。
4. OIP3 與 OP1dB 差距 15.5 dBm 左右，比理論值高不少，請說明原因?
5. The critical issue is that you use the single  $V_d=28V$  to improve the imbalance of current consumption on the two-channel PA stages. Is it efficient to improve it? You should verify it.
6. The bias variation should also be considered in the design.
7. The design was applied by modifying the previous design, so the novelty is low.
8. 圖二中，VD1 對應電路圖是否是第一級? VD2/VD3 在電路圖中 DC 是短路，有可能外面給偏壓時，給的電線線阻稍有不同，造成電流都從同一邊給電 (VD3)。應該不是電路不對稱
9. 原設計的第三點解釋也不合理，gain 不夠推到 Psat 的話，input power 打更大也會推到 Psat，除非是 power source 無法推出這麼大的 power。但依據圖 7 看起來不像。Psat 不足而增大電路 gain 設計，我並不認同，這是兩件事情。
10. 根據圖 8b 來看，模擬量測的差異來自於 S11，是否可能是 input matching 跑掉?
11. 是否有模擬 inter-stage stability?
12. Bypass cap 是怎麼設計的?
13. 模擬結果顯示，輸出功率可達 34.6 dBm，PAE 提升至 28.7%。
14. OP1dB 與前一次相比是下降的。

**申請編號：GaN12-115A-A0014**

專題名稱：應用於衛星通訊下行傳輸之寬頻 Ka-band cold-FET 線性化差動功率放大器

晶片形式：Package：N/A+DieSort：18EA

評比：B

是否修改 Layout：N

建議/修改：

1. 功率放大器加入 phase-delay coldFET 來改善線性度，GaN 和 CMOS 電晶體不同 coldFET 架構該如何調整請具體說明。
2. 電路面積請加入比較表。
3. 電路布局應加入面積等相關資訊。
4. 比較表可以加入 FOM 來顯示電路優勢。
5. 請補充低溫時之模擬數據。
6. 請補充 IP3 模擬結果。
7. 晶片布局無直流打線 pad，應是以 back-side plate 做接地電流迴路，需確認 PCB 的接地面及直流迴路電阻。
8. 本設計將 OP1dB 推至靠近飽和功率，但是 OP1dB 表現與其他文獻比較並未比較傑出，請解釋起原因。

**申請編號：GaN12-115A-A0015**

專題名稱：具備 9 dB 回退效率提升之 Ka 頻段寬頻高線性度氮化鎵負載調變平衡式功率放大器，結合主動偏壓與二次諧波短路技術

晶片形式：Package：N/A+DieSort：18EA

**評比：B**

**是否修改 Layout：N**

**建議/修改：**

1. 頻寬設計為 25-30GHz, 但是效能比較表中所列頻寬為 2.7-2.93GHz。此為小訊號和大訊號的差別嗎？
2. BA 的輸入端為寬頻設計, 但是輸出端為單一 L 型 matching network 的窄頻設計, 請解釋其原因？
3. 近來來 LMBA 電路發表較多, 此電路具有優勢和實用性, 整體說明詳細特性也優於文獻發表。
4. 晶片整體面積較大是否有縮小的方式？
5. 比較表可以加入 FOM 來顯示電路優勢。
6. 晶片布局無直流打線 pad, 應是以 back-side plate 做接地電流迴路, 需確認 PCB 的接地面及直流迴路電阻。
7. 請補充 IP3 模擬結果。

**申請編號：GaN12-115A-A0016**

專題名稱：具備 0/180 度相位切換功能之微型化雙頻雙埠激發網路設計

晶片形式：Package：N/A+DieSort：18EA

**評比：B**

**是否修改 Layout：N**

**建議/修改：**

1. 如何選擇切換開關 M1-M4 電晶體的尺寸？
2. 整體電路模擬詳盡但可否加入採用 GaN 製程製作該電路優點為何？
3. 面積相較於其他論文過大是否有機會縮小？
4. 請補充 IP3 模擬結果。
5. 與文獻中 CMOS 電路相較, 本案在功率能力上明顯具有優勢, 有下線的價值。
6. 建議分析振幅誤差對波束合成精準度的影響。

**申請編號：GaN12-115A-A0017**

專題名稱：應用於雙埠激發波束成型系統之微型化可重組式功率分配器

晶片形式：Package：N/A+DieSort：18EA

**評比：B**

**是否修改 Layout：N**

**建議/修改：**

1. BTC 電路如何設計請詳細說明？為何要以 LCL 架構來設計 BTC？
2. 切換開關 M1-M4 電晶體的尺寸如何選擇？
3. 電路採用 GaN 製程導致面積較大其優勢為何？
4. 本案與 A0016 相似, 但設計不同。
5. 請補充 IP3 模擬結果。
6. 建議列出 mode 2 下 port 1 到 port2 與 port1 到 port3 的相位誤差。

**申請編號：GaN12-115A-A0018**

專題名稱：應用於 Ka Band 之 Doherty 功率放大器

晶片形式：Package：N/A+DieSort：18EA

評比：C

是否修改 Layout：N

建議/修改：

1. 本 Doherty 功率放大器採用兩級級聯式架構，可克服單級 Doherty 功率放大器架構增益偏低的問題。此設計具備實用價值，惟架構本身屬於習知技術範疇，創新程度有限。
2. 本電路提供 power budget 分析與偏壓選擇、loadpull 模擬、穩定度、匹配網路與偏壓等設計考量。惟 main amplifier 與 Auxiliary amplifier 選擇偏壓在 class A 與 C，且尺寸相同，則 Auxiliary amplifier 增益不足，建議考量適當的偏壓與尺寸比(一般 Aux. PA 採用較大尺寸電晶體)。
3. 補充完整電路示意圖，並說明 DC bias network 的設計考量與模擬。
4. 由模擬結果可觀察到頻寬與增益平整度明顯不足，建議以 1-dB scale 呈現 gain response。
5. 請說明 Psat (36.2 dBm) 與 OP1dB (31.3 dBm) 差距達近 5 dB，原因為何?
6. The device size of peaking and carrier amplifiers were not correspond to their OIP3 or back-off application criteria
7. The PAE was low for a Doherty amplifier
8. 雖然 PAE 有兩個 peaking, 但 power back off 的 peaking 位置大約在 P1dB, 而 PAE 只有約 21% 沒有比簡單的 class A PA 高.
9. Gain, Output power 和 PAE 的規格都是互相關聯的，不能都拆開來只列最佳值。

**申請編號：GaN12-115A-A0019**

專題名稱：使用氮化鎵高電子移動率電晶體設計的 4 瓦特、28GHz 功率放大器

晶片形式：Package：N/A+DieSort：18EA

評比：C

是否修改 Layout：N

建議/修改：

1. 比起其他已發表論文 PAE 特性較不好，請說明原因，請說明設計限制在哪裡?
2. 此為多級放大器，應模擬級間穩定度。
3. 請說明如何選擇適當的偏壓，為什麼功率級要選擇在-0.9V，驅動級要選擇在-1.2V?
4. The output power combiner is not Wilkinson type. It is the conventional T-junction. Will it cause out power mismatch?
5. The PAE is still low compared to the other design. How to improve it?
6. What is the effect of Vg1, Vg2 and Vg3 variation for output power and gain flatness?
7. Bypass cap 是怎麼設計的? 為什麼有的有電阻有的沒有?
8. 是否有考慮 inter-stage stability 和 odd mode stability?
9. 圖 1 中，R3 看起來是 lossy matching，為什麼需要 lossy matching，掉多少 gain?
10. 有限晶片面積內達成 36.4 dBm 輸出功率，且峰值 PAE 約 28.7%，有不錯的功率密度

與效率表現。

11. 其不足之處在於頻寬相對狹窄，在 27.5–28.5 GHz 之外效能快速下降，限制了寬頻應用潛力；同時線性度表現（OIP3 與 OP1dB 間距偏小）亦顯示仍有改善空間。
12. 與 A0020 為同一組，擇一進行下線。
13. 請呈現功率放大器輸出級的負載拉移模擬結果以確認最佳阻抗點。

**申請編號：GaN12-115A-A0020**

專題名稱：使用氮化鎵高電子移動率電晶體設計的 2 瓦特、28GHz 功率放大器

晶片形式：Package：N/A+DieSort：18EA

評比：C

是否修改 Layout：N

建議/修改：

1. 此為多級放大器，應模擬級間穩定度。
2. 請說明如何選擇適當的偏壓，為什麼功率級要選擇在-1V，驅動級要選擇在-1.2V？
3. 在輸出增益 3dB 的位置，S11 及 S22 的表現已經不是很好，請說明設計限制在哪裡？是否有機會改善？
4. The novelty is low and the design is similar to GN12-115A-A0013.
5. Some designs should be discussed and compared to your design, such as "A 24-to-28-GHz Asymmetric GaN MMIC Doherty Power Amplifier With 32% PAE at 8-dB Back-Off Using Optimal Phase Dispersion Inverter" IEEE Microwave and Wireless Technology Letters, Vol. 33, Oct. 2024 (Early Access/Recent).  
"A 24–28-GHz GaN MMIC Synchronous Doherty Power Amplifier With Enhanced Load Modulation for 5G mm-Wave Applications" IEEE Transactions on Microwave Theory and Techniques, Vol. 70, No. 8, Aug. 2022.  
"A 24-28.5GHz Compact GaN/SiC MMIC Power Amplifier with 39% Peak PAE Supporting 5G 400MHz Down-Link Signal" 2024 IEEE International Symposium on Antennas and Propagation (ISAP), Oct. 2024.
6. Bypass cap 是怎麼設計的？為什麼 gate 偏壓已經用電阻了，bypass cap 還需要電阻？
7. 圖 17，為什麼 S11 比 S22 還不好，而且還有頻偏。做 PA 通常是 S22 比較難做，有辦法調整回來嗎？
8. 是否有考慮 inter-stage stability 和 odd mode stability？
9. 模擬結果呈現 34.7 dBm 飽和輸出功率、約 26 dB 增益。
10. 不過 PAE 約 28% 未達原訂 30% 目標，且線性度指標（OP1dB 與 OIP3）仍有進一步優化空間。
11. 與 A0019 為同一組，擇一進行下線。

**申請編號：GaN12-115A-A0021**

專題名稱：基於 GaN12 製程之 3T & 7T MRI 高阻抗前置放大器晶片設計與驗證

晶片形式：Package：N/A+DieSort：18EA

評比：C

是否修改 Layout：N

建議/修改：

1. 相關研究發展現況需適當引用相關參考文獻。
2. 架構簡介需探討所訂定研製放大器設計目標是否能滿對應使用需求。
3. 補充說明放大器電晶體尺寸設計考量，需搭配適當模擬結果輔助說明。
4. 補充所提出放大器大訊模擬結果和說明。
5. 所提出放大器仍須使用大量 off-chip 元件，較無法呈現使用單晶微波積體電路技術之優勢。
6. 量測考量說明將使用“GSG 探針 + VNA 量晶片”，但所呈現電路布局圖並無法使用高頻 GSG 探針。
7. 效能比較表需加入直流功耗和晶片面積完善比較說明。
8. 輸出飽和功率遠小於商用放大器應再確誌規格。
9. 是否使用單級設計即可滿足所需的應用。
10. Hybrid 架構具創新性，但高度依賴 Off-Chip 元件進行阻抗轉換，這在多通道擴展時會增加 PCB 佈局與組裝的複雜度。
11. 採用雙級放大提升增益且兼顧 3T/7T，但 7T 模式下功耗達 239.4mW，對高密度接收陣列而言，散熱壓力與功耗效率仍有優化空間。
12. 因為有可能直接安裝在線圈內（近高磁場中心），相較於 GaAs SiGe，GaN 是否在高磁場環境依然能具低雜訊干擾。

=====以下無資料=====