

## (TSRI) P15-115A 審查結果報告

公告時間：115 年 04 月 27 日

### 注意事項：

1. 在申請者回覆審查委員建議期間內，不再另行通知或催繳等動作；若未能即時上傳資料者，將取消下線資格，請務必確實掌握回覆時間。
2. 設計者之修改資料或補交資料，於 **115.05.01(週五) 中午 12:00 前** 上傳至審查意見回覆系統（操作步驟：TSRI 網頁→晶片製作→下線申請→下線申請總表→審查意見回覆上傳），若有相關問題可聯絡下列人員：
  - a. 使用 full-custom：  
陳益誠先生(Email:ycchen@narlabs.org.tw; TEL：03-5773693 ext. 7201)。

### 說明事項：

1. 此報告包括**參加審查會議及書面審**之審查結果報告。
2. 申請編號中，序號英文字母代表：A:10%部分負擔，E:教育性晶片，N:新進教師晶片，I:優良晶片。序號之尾端字母代表：a:使用Cell-based Design Kit，m:使用Multi-option-MEMS(TSRI MEMS後製程)，M:整合晶片。
3. 下線之優先順序按審查評分標準：A-極推薦，B-推薦，C-勉予推薦，D-視面積使用情況下線，F-不予下線；若遇評比相同時，則以指導教授之加總積點較高者優先下線。無論評定為何種等級(A, B, C, D)皆務必照所有委員之評審意見(含修改/建議)作回覆(修改或說明)。
4. 凡是委員有要求修改Layout的申請者必須重新跑過Calibre DRC (**GaN12/P15:Assura DRC**)；如繳交Layout後有DRC錯誤者即不予下線。若資料無法上傳，請務必與承辦人員聯繫及確認。
5. 請設計者確實核對所列包裝方式是否正確，以免日後造成無法封裝；若委員建

議修改亦需變動打線圖時，**請務必重新上傳更新之打線圖**。(重要：若因變動打線圖而需更改申請包裝形式者，敬請務必與承辦人員進行確認，以避免日後晶片費用計算有問題因而影響您的權益。)

6. 請佈局需修改的申請案按照委員建議進行修改，否則將以回覆委員建議未完全而不予下線，**請注意!依規定，不可比原佈局增加長寬邊的長度，違者則不予採用已修改之佈局檔案。**
7. 安排晶片下線即依排序標準安排製作（同等級時依加總積點高者優先排序；等級評定為C/D之晶片，TSRI具彈性下線調整權），至該梯次面積用完為止，TSRI在送交製作前將公佈下線資料，未能安排製作之晶片，無論評定等級為何，不予保留至下梯次製作。
8. 此梯次的「審查結果報告」亦公佈於網路 (<https://www.tsri.org.tw>)之「資訊公開→最新公告」，下線晶片資料隨後公佈，歡迎查閱。

---

## 審查結果

### 申請編號 P15-115A-A0001

專題名稱 X-Band頻段之低雜訊放大器設計

晶片形式 Package:N/A + DieSort:18EA

評比: **D**

是否開放修改Layout: **N**

建議/修改

1. 請參考近年國際著名期刊或會議論文，進行創新性分析討論，並於效能比較表內加入比較；且比較表內建議加入大訊號的性能指標，如IIP3/OIP3、OP1dB等。
2. 申請書內研究發展現況、研究動機、標準頻段選擇，之於參考文獻的關聯性無相關討論。
3. LNA電路為初級入門架構，需加強創新性說明，且圖8請補上寬頻 $|\Delta|$ 數值，或Mu穩定係數值。
4. 請討論此電路的功耗來源、各個電晶體尺寸等。
5. 請補充級間穩定度分析與溫度變異下之模擬結果。
6. 請補上有關One-tone/Two-tone線性度、雜訊指數的量測考量，如所需的儀器設備等。
7. No noise contour and stability double check.
8. Although inductive degeneration was adopted, however, the gate bias with resistor significantly sacrifice the noise figure.

9. Linearity or dynamic range analysis are not fully covered.
10. 文獻比較應再加入已發表的重要論文中的特性比較。
11. 缺乏仔細設計步驟說明，不知如何其設計是否有誤，模擬結果要包含低頻與高頻才能知道其趨勢是否正確。
12. Post sim的結果為何會比Pre sim好？
13. 報告中未說明如何量測Noise Figure。

### 申請編號 P15-115A-A0002

專題名稱 X-Band頻段之低雜訊放大器設計

晶片形式 Package:N/A + DieSort:18EA

評比: D

是否開放修改Layout: N

建議/修改

1. 此申請案為三級架構，與其他同梯申請案，除多一級外，架構大致相同，增益卻較低，實用性不高；且圖4內Pre-sim與Post-sim的增益值差異大(最大/小值分別有6-7 dB差異)，需優化Layout設計，並/或討論原因。
2. 耗電偏高，請條列各級偏壓電流，並討論功耗來源。
3. 請參考近年國際著名期刊或會議論文，進行創新性分析討論，並於效能比較表內加入比較；且比較表內建議加入大訊號的性能指標，如IIP3/OIP3、OP1dB等。
4. 申請書內研究發展現況、研究動機、標準頻段選擇，之於參考文獻的關聯性無相關討論。
5. LNA電路為初級入門架構，需加強創新性說明。
6. 圖8請補上寬頻 $|\Delta|$ 數值，或Mu穩定係數值。
7. 請補充各級電晶體尺寸、級間穩定度分析以及溫度變異下之模擬結果。
8. 請補上有關One-tone/Two-tone 線性度、雜訊指數的量測考量，如所需的儀器設備等。
9. 圖9的P1dB (12 GHz)的Pre-sim與Postsim差異較大，請說明。
10. 參考比較文獻建議如A0001參考黃上祐, "Low Noise Amplifier Designs in Various Microwave Frequency Bands by pHEMT Transistors", 國立虎尾科技大學電子工程系碩士班。
11. No noise contour and stability double check.
12. Although inductive degeneration was adopted at first stage, but 2nd and 3rd stage design with source resistance sacrifice the LNA power consumption and noise NF. No comment to the trade-off between BW and NF.
13. Linearity or dynamic range analysis are not fully covered.
14. Pos-sim是否有做全佈局的EM模擬？
15. 如果文獻2的量測結果為同實驗室之學長，應該先找出其量測與模擬有差異的原因後再下線。

### 申請編號 P15-115A-A0003

專題名稱 28 GHz 高效率毫米波電壓合成多爾蒂功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: D

是否開放修改Layout: N

建議/修改

1. 需增加對架構選擇之說明，為何在輸出端選擇使用Marchand balun做功率合成？傳統Doherty Amplifier並不需要Balun。
2. 輸出級電晶體尺寸應針對目標輸出功率、增益等需求進行說明如何選擇，而非直接給定尺寸。
3. 驅動級電晶體尺寸應針對輸出級之功率增益說明如何選擇，並非沒有理由直接給1:3~1:4。所設計的功率放大器線性增益僅有13 dB，在大訊號操作下，功率增益會進一步壓縮。選擇1:4是否足夠推動輸出級？
4. Lange coupler的兩個輸出相位差僅約80度，與理想的90度差異極大。
5. Marchand balun的兩個輸入反射係數僅有-4 dB，顯示與50  $\Omega$ 有落差。在設計上有何特殊考量？
6. Bypass電容與Via hole間的接線過長，一般設計考量應該越短越好，以避免其電感效應影響Bypass效果。
7. 與文獻[9]相比， $P_{sat}$ 較低，6-dB power back-off efficiency也較低。
8. 飽和輸出功率為28.5 dBm，但比較表中卻列為30 dBm。
9. 報告撰寫有待加強，圖表沒有編號，多數圖表並無文字逐一說明，難以閱讀。
10. 重要數據應該於特性圖上標示，例如DE@PBO。預計規格表使用Drain efficiency但是效能比較表使用PAE(雖然兩者可能相近)，且Backoff數量不同! 建議最好使用一樣規格參數!
11. 標準的架構和設計方法。
12. 文中[13]打線圖中說不需打線。然而文中[10]量測考量說: 本次實作將使用On PCB量測，透過打線將Chip連接到PCB進行，說法矛盾。
13. 量測方法、儀器Setup沒說明；且Distortion都沒要量，建議量測AM to AM, AM to PM distortion。
14. 相關研究發展現況需適當引用毫米波功率放大器發表文獻，並比較分析說明。
15. 架構簡介說明需補充主路徑、輔助路徑兩級放大器電晶體尺寸選擇考量，請搭配適當模擬結果說明，如功率密度和增益等。
16. 模擬結果呈現，X與Y軸需要有完善參數和單位標示；此外，需要文字討論分析，非轉貼模擬結果即可。
17. 需補充IP3對輸入對驅動功率模擬結果和說明。
18. 需補充輸出P1dB、IP3和PAE對頻率模擬結果和說明。
19. 量測考量說明需具體說明將使用何種儀器設備進行那些參數量測分析，高頻部分應為高頻探針，直流部分才為鏑線。
20. 效能比較比較表需加入百分比頻寬、P1dB、IP3和晶片面積等重要參數完善比較分析說明。

申請編號 P15-115A-A0004

專題名稱 28 GHz 高效率毫米波電流合成寬頻多爾蒂功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

## 建議/修改

1. 報告中提及Main amplifier必須偏壓在Class B。然而，Doherty amplifier的Main amplifier一般是選擇偏壓在Class AB。且偏壓在Class B的靜態電流為0，轉導亦為0，電晶體無法提供小訊號增益。
2. 輸出級電晶體尺寸應針對目標輸出功率、增益等需求進行說明如何選擇，而非直接給定尺寸。
3. 驅動級電晶體尺寸應針對輸出級之功率增益說明如何選擇，並非沒有理由直接給1:3~1:4。所設計的功率放大器線性增益僅有13 dB，在大訊號操作下，功率增益會進一步壓縮。以所附的模擬結果，兩級放大器在飽和時的功率增益約為10 dB，功率級之功率增益應不到5 dB。選擇1:4是否足夠推動輸出級？
4. DC pad應拉到晶片邊緣，以縮短Bondwire長度，降低Bondwire寄生效應。
5. 預計規格表使用Drain efficiency但是效能比較表使用PAE(雖然兩者可能相近)，建議最好使用一樣規格參數! 請確認效能比較表中Backoff數量是否一致!
6. 標準的架構和設計方法。
7. 建議量測AM to AM, AM to PM distortion。
8. 需補充IP3對輸入對驅動功率模擬結果和說明。
9. 需補充輸出P1dB、IP3和PAE對頻率模擬結果和說明。
10. 量測考量說明需具體說明將使用何種儀器設備進行那些參數量測分析，高頻部分應為高頻探針，直流部分才為鏢線。
11. 最近三次下線結果，其中已量測一案，請具體說明是否功能正常。
12. 相關研究發展現況需適當引用毫米波功率放大器發表文獻，並比較分析說明。
13. 研究動機須說明與申請案"P15-115A-A0003"差異及其下線必要性。
14. 架構簡介須說明採用該功率放大器輸出匹配電路改為T行網路匹配之優點為何，並具體與申請案"P15-115A-A0003"比較說明。
15. 主路徑、輔助路徑兩級放大器電晶體尺寸選擇考量，請搭配適當模擬結果說明，如功率密度和增益等。
16. 模擬結果呈現，X與Y軸需要有完善參數和單位標示；此外，需要文字討論分析，非轉貼模擬結果即可，請切實重新撰寫。
17. 回推功率附加效率模擬結果，改善幅度不佳，建議重新審視直流偏壓點是否正確。
18. 效能比較比較表需加入申請案"P15-115A-A0003"結果，此外，比較項目須包含百分比頻寬、P1dB、IP3和晶片面積等重要參數完善比較分析說明。

## 申請編號 P15-115A-A0005

專題名稱 使用九個負載點方法結合X參數模型設計pHEMT放大器

晶片形式 Package:N/A + DieSort:18EA

評比: D

是否開放修改Layout: N

## 建議/修改

1. 專題名稱提到使用九個負載點方法結合X參數模型設計pHEMT放大器，但是在報告中，完全沒有提到如何用九個負載點方法設計放大器，也沒有X參數的資料。
2. Vdd為什麼用3.2V?
3. 缺少文獻比較，無法判斷做的是否有比其他已發表論文好?

4. 以預計規格列表來看，輸出功率不高，PAE也不好，看不出有特別的優勢。
5. 模擬結果沒有模擬圖，只有一張表，也沒有做Post-sim，RF電路沒有Post-sim不建議下線。
6. P15-115A-A0005、P15-115A-A0013、P15-115A-A0014放大器架構幾乎一樣，只有偏壓有不同，報告一樣簡略，請說明差異性。
7. 請說明P.5表中，OP1dB 無法得知的原因。
8. 請說明報告中無效能比較表的原因。
9. 建議將模擬結果圖放入設計報告中。
10. 效能表應該提供或是特別說明此方法有別於其他發表論文差異。
11. 模擬結果須提供Post-simu與Pre-simu模擬圖做為比較。
12. 模擬結果不夠完整，請補充Process/Voltage/Temperature變異下之電路效能。另外，模擬結果之OP1dB無法得知請說明原因。
13. 九個負載點方法優點須在電路架構進行說明。
14. 電路設計不具創新性，Gate/drain端以外接Bias-T方式不具電路實用性。

### 申請編號 P15-115A-A0006

專題名稱 二級混合式疊接-串接式Ku-Band頻段低雜訊放大器設計

晶片形式 Package:N/A + DieSort:18EA

評比: D

是否開放修改Layout: N

建議/修改

1. 英文專題名稱與所用電路架構似乎有出入。建議使用內文提到的"Two-stage hybrid cascode-cascade..."。
2. 內文所提的「電路再利用的設計…」，請解釋。
3. 請補充Power consumption，請條列各級偏壓電流，並討論功耗來源。
4. 請補充各級/個電晶體尺寸、級間穩定度分析以及溫度變異下之模擬結果。
5. 圖8請補上寬頻 $|\Delta|$ 數值，或Mu穩定係數值。又圖8所示之K-factor於9 GHz頻段附近接近1，需留意穩定度問題，也請提供Ku頻段的穩定係數。
6. 請參考近年國際著名期刊或會議論文，進行創新性分析討論，並於效能比較表內加入比較；且比較表內建議加入大訊號的性能指標，如IIP3/OIP3、OP1dB等。
7. 申請書內研究發展現況、研究動機、標準頻段選擇，之於參考文獻的關聯性無相關討論。
8. 請補上有關One-tone/Two-tone 線性度、雜訊指數的量測考量，如所需的儀器設備等。
9. 應分析Q1電晶體的雜訊指數與偏壓的關聯。
10. 文獻比較表不要限於單一學校論文。
11. 模擬範圍太窄也沒有頻寬指標設定。
12. NF 3dB在實務上無法使用。
13. Cascoded架構上各元件尺寸優化過程沒有描述。
14. Reference paper應該以國際發表期刊為主要Benchmark。
15. 若第二級偏壓為Self-biased，R2應加上Bypass電容以增加增益。

## 申請編號 P15-115A-A0007

專題名稱 三級串接式Ku-Band頻段低雜訊放大器設計

晶片形式 Package:N/A + DieSort:18EA

評比: D

是否開放修改Layout: N

建議/修改

1. 請補充Power consumption數值。
2. 請參考近年國際著名期刊或會議論文，進行創新性分析討論，並於效能比較表內加入比較。且比較表內建議加入大訊號的性能指標，如IIP3/OIP3、OP1dB等。
3. 申請書內研究發展現況、研究動機、標準頻段選擇，之於參考文獻的關聯性無相關討論。
4. LNA電路為初級入門架構，需加強創新性說明。
5. 圖8請補上寬頻 $|\Delta|$ 數值，或Mu穩定係數值。
6. 請補充各個電晶體尺寸、級間穩定度分析以及溫度變異下之模擬結果。
7. 請補上有關One-tone/Two-tone線性度、雜訊指數的量測考量，如所需的儀器設備等。
8. 文獻比較表不要限於單一學校論文(不僅為碩士論文也是Simulation results)。
9. DC功耗沒有描述(可以想像必然很大)。
10. Bandwidth無平坦頻寬區實際應用無法評估，且NF無實際競爭力。
11. 缺乏仔細設計步驟說明，不知如何得到其最初的設計元件值。
12. Post sim的結果為何會比Pre sim好?
13. 報告中未說明如何量測Noise Figure。
14. IP3的模擬不正確，且三級LNA要求的增益只有10dB，顯然不合理。

## 申請編號 P15-115A-A0008

專題名稱 Ku-Band 頻段低雜訊放大器設計

晶片形式 Package:N/A + DieSort:18EA

評比: F

是否開放修改Layout: N

建議/修改

1. 報告內容過於簡略。沒有說明電晶體尺寸與偏壓選擇考量，針對RC回授的電阻、電容值與Source degeneration電感值如何選擇也沒有說明。
2. 為何Pre-layout simulation的NF較Post-layout simulation差?
3. 所有模擬結果只放圖，沒有針對每張圖以文字說明。報告撰寫需加強。
4. 穩定性分析只呈現到18 GHz，應提供穩定性分析結果至少到整體電路增益小於 0 dB的頻率。
5. 小訊號頻率響應模擬結果(反射係數與增益)僅有頻帶內(12-18 GHz)結果。應同步提供寬頻(從DC到整體電路增益小於 0 dB的頻率)的模擬結果，以確定頻帶外的特性是否合理。
6. C3與C8的電容值如何選擇，對電路特性有何影響也未說明。
7. 應說明偏壓電路中的Bypass電容值為多大。從Layout上來看，電容面積很小，其容值應無法提供足夠的Bypass效果。
8. Bypass電容與Via hole間的接線過長，一般設計考量應該越短越好，以避免其電感效應

影響Bypass效果。

9. Bypass電容應直接接到電路上需要AC short之處，額外不必要的接線會使Bypass電路無法提供良好效果。
10. 比較表應找有量測結果的參考文獻進行比較。
11. 未見製程變異分析及溫度變異分析，請補充製程/溫度變異的模擬結果。
12. 實際S21的3dB頻寬範圍可能包含比12GHz還更低的頻段，請問對於操作頻寬的設計考量是甚麼？
13. 標準的架構和設計方法。
14. 報告寫得極簡略，[5] 關研究發展現況完全沒有文獻搜尋。[6]研動機中，看不出有何動機！[7]-[9]是設計的核心，[7]只有197字，[8]-[9]只有圖，沒論述。
15. 相關研究發展現況需適當引用微波低雜訊放大器發表文獻，並比較分析說明。
16. 架構簡介須包含第一和二級電晶體尺寸選擇考量說明，請搭配適當模擬結果輔助說明分析。
17. 模擬結果呈現，X與Y軸需要有完善參數和單位標示；此外，需要文字討論分析，非轉貼模擬結果即可，請切實重新撰寫。
18. S參數模擬結果，頻率範圍請補充頻率範圍從0.01 GHz至100 GHz結果。
19. 該放大器為兩級架構，穩定度須包含Interstage stability模擬結果。
20. 補充輸出P1dB和IP3對頻率模擬結果和說明。
21. 補充螺旋電感全波電磁模擬結果和說明，須包含電感值和品質因素對頻率作圖結果。
22. 補充電路性能對製程變異模擬，須包含Corner、電壓和溫度變異。
23. 量測考量缺雜訊指數和大訊號量測部分，請切實重新撰寫。
24. 直流偏壓部分需考慮旁路電容設計，否則模擬與量測結果將會有很大差異。
25. 文獻比較表之論文應與最三年發表國際期刊和研討會論文比較，比較項目須包含晶片面積、P1dB和IP3等重要參數完善比較分析說明。

## 申請編號 P15-115A-A0009

專題名稱 Ku-Band 頻段低雜訊放大器設計

晶片形式 Package:N/A + DieSort:18EA

評比: F

是否開放修改Layout: N

建議/修改

1. 報告內容過於簡略。沒有說明電晶體尺寸與偏壓選擇考量。針對RC回授的電阻、電容值與Source degeneration電感與電阻值如何選擇也沒有說明。
2. 為何Pre-layout simulation的NF較Post-layout simulation差？
3. 所有模擬結果只放圖，沒有針對每張圖以文字說明，報告撰寫需加強。
4. 應說明偏壓電路中的Bypass電容值為多大。從Layout上來看，電容面積很小，其容值應無法提供足夠的Bypass效果。
5. Bypass電容與Via hole間的接線過長，一般設計考量應該越短越好，以避免其電感效應影響Bypass效果。
6. Bypass電容應直接接到電路上需要AC short之處，額外不必要的接線會使Bypass電路無法提供良好效果。
7. 在Layout中，Stage 1的L1與Stage 2的L7接在一起後，經過一段不短的線才接到Via

hole，可能會有回授的問題，建議個別接到不同的Via hole。

8. 第三級的Drain端並聯電感沒有Bypass電路。
9. 比較表應找有量測結果的參考文獻進行比較。
10. 量測考量可說明低雜訊放大器之1dB壓縮點(P1dB)和三階截斷點(IP3)的量測方法。
11. 未見製程變異分析及溫度變異分析。
12. 實際S21的3dB頻寬之最大增益的頻率約為10GHz，不在預期的操作頻寬範圍內! 請問對於操作頻寬的設計考量是甚麼?
13. 標準的架構和設計方法。
14. 報告寫得極簡略，[5]相關研究發展現況完全沒有文獻搜尋。[6]研動機中，看不出有何動機! [7]-[9]是設計的核心，[7]不明確說明電路結構的作用，[8]-[9]其餘只有圖，沒論述。
15. 相關研究發展現況需適當引用微波低雜訊放大器發表文獻，並比較分析說明請切實重新撰寫。
16. 在研究動機部份，需與說明與申請案"P15-115A-A0008"差異化及其下線必要性。
17. 架構簡介須包含第一、二和三級電晶體尺寸選擇考量說明，請搭配適當模擬結果輔助說明分析。
18. 模擬結果呈現，X與Y軸需要有完善參數和單位標示；此外，需要文字討論分析，非轉貼模擬結果即可，請切實重新撰寫。
19. S參數模擬結果，頻率範圍請補充頻率範圍從0.01 GHz至100 GHz結果。
20. 該放大器為三級架構，穩定度須包含Interstage stability模擬結果。
21. 補充輸出P1dB和IP3對頻率模擬結果和說明。
22. 補充螺旋電感全波電磁模擬結果和說明，須包含電感值和品質因素對頻率作圖結果。
23. 補充電路性能對製程變異模擬，須包含Corner、電壓和溫度變異。
24. 量測考量缺雜訊指數和大訊號量測部分，請切實重新撰寫。
25. 電路佈局之直流偏壓部份缺旁路電路設計。
26. 文獻比較表需加入申請案"P15-115A-A0008"結果比較說明；此外，比較文獻應與最三年發表國際期刊和研討會論文為主，比較項目須包含晶片面積、P1dB和IP3等重要參數完善比較分析說明。

## 申請編號 P15-115A-A0010

專題名稱 基於橋式T電路的微型化多頻諧波拒斥濾波器

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

1. 此為純被動電路，完全沒有使用到電晶體，應該要申請WIPD的梯次。
2. 請說明此電路使用P15製程的必要性，純被動之GaAs電路可考慮WIPD製程。
3. 請說明Testkey下線的必要性。
4. Stopband rejection在第二和三頻段之間相較於文獻較差，請說明原因。
5. Stopband bandwidth預計應該是小或大? 該如何考量?
6. 比較表中建議可以列出基板的Loss tangent作為比較參考。
7. 本次下線包含三個電路，分別是四頻段帶止濾波器與兩個不同頻段的雙頻帶止濾波器，

後兩者宣稱為Testkey，是否符合TSRI規定須再確認。

### 申請編號 P15-115A-A0011

專題名稱 應用於Ka-band之寬頻低雜訊放大器

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

1. 可多討論匹配網路設計。根據post-sim的模擬結果，input/output return loss 大致低於6 dB，建議改善並分析阻抗失配(impedance mismatch)的原因。
2. 目前效能比較表中的參考文獻，多來自會議文章且年代稍久，建議比較近期(2021年後)的期刊論文設計。
3. 比起文獻[6]，本專題架構少一級RCFB、相似頻寬，功耗為其3 倍，請說明或改善。
4. 目前layout 尚有許多非電路(匹配網路、走線等)面積，可多加優化佈局。
5. 電路架構採用常見的inductive source degeneration, RC feedback，創新性不高。
6. 第一級元件偏壓選擇應加入雜訊匹配考慮。
7. NF太大無競爭力，第一級元件應尺寸較大以降低Rg的效應。
8. 頻寬設定上應該無需如此寬，在實際電路應用上應說明其用意。
9. 量測考量似乎不是針對低雜訊放大器而是針對Doherty功率放大器而做的規劃。
10. 在文獻比較中明顯的增益不如其他文獻。
11. 在高低頻段的功率特性模擬結果為何？
12. 是否有做全佈局的電磁模擬？

### 申請編號 P15-115A-A0012

專題名稱 以橋式T線圈實現微型化雙頻單端至平衡式阻抗轉換分支線耦合器

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

1. 此為純被動電路，完全沒有使用到電晶體，應該要申請WIPD的梯次。
2. 請說明此電路使用P15製程的必要性，純被動之GaAs電路可考慮WIPD製程。
3. 說明頻帶選擇8GHz與14.8GHz的原因，是否有實際系統應用？
4. 比起已發表在PCB的文獻，Insertion loss較大。
5. Amplitude imbalance較大。
6. 建議將模擬結果圖中S參數的port No. 標註在上方的電路圖上。
7. Ref.[1][4][5]採用的耦合傳輸線架構，建議標註在效能比較表中。
8. 本設計的Insertion Loss較其他文獻大，請說明其原因。
9. Layout空白處加入的測試鍵可在報告中說明一下結果。
10. 文獻比較上可以找一下雙頻帶進行比較，或進行說明與文獻之差異性。
11. Phase difference差異達23.75%，是否有機會改善？
12. 請說明設計8GHz/14.8GHz雙頻帶的應用為何？

13. 最後佈線尚包括三個Bridged-T coil測試件，申請文件上應說明。

### 申請編號 P15-115A-A0013

專題名稱 相同架構功率放大器於不同輸入功率下之匹配重設計與性能分析

晶片形式 Package:N/A + DieSort:18EA

評比: D

是否開放修改Layout: N

建議/修改

1. 報告相當簡略，完全沒有提到如何設計放大器，也沒有X參數的資料。
2. Vdd為什麼用2.5V? Vg為什麼使用-0.3V? 如何選擇偏壓，應做說明。
3. 缺少文獻比較，無法判斷做的是否有比其他已發表論文好?
4. 以預計規格列表來看，輸出功率不高，PAE也不好，看不出有特別的優勢。
5. 模擬結果沒有模擬圖，只有一張表，也沒有做Post-sim，RF電路沒有Post-sim不建議下線。
6. P15-115A-A0005、P15-115A-A0013、P15-115A-A0014放大器架構幾乎一樣，只有偏壓有不同，報告一樣簡略，請說明差異性。
7. 請提供詳細模擬結果圖，須提供Post-simu與Pre-simu模擬圖做為比較。
8. 電路架構與P15-115A-A0005設計相同，匹配網路不同請提供與P15-115A-A0005設計結果的比較，並解釋本次下線的必要性。
9. 變異分析需考量溫度和電壓變異。
10. 效能表應該提供或是特別說明此方法有別於其他發表論文差異。
11. 本案電路與P15-115A-A0005內容高度相似，只是研究重點不同，此處著重在不同輸入功率下最佳阻抗匹配的變化。
12. 不同輸入功率下最佳阻抗匹配的變化至少可由模擬得出初步的趨勢從而探討可能的匹配網路設計對策，但申請書完全沒有這方面的資料。
13. 模擬結果之OP1dB無法得知，請說明原因。

### 申請編號 P15-115A-A0014

專題名稱 基於負載拉移技術之pHEMT功率放大器於不同輸入條件下之阻抗匹配分析與設計

晶片形式 Package:N/A + DieSort:18EA

評比: D

是否開放修改Layout: N

建議/修改

1. 報告相當簡略，完全沒有提到如何設計放大器，也沒有X參數的資料。
2. Vdd為什麼用5V? Vg為什麼使用-0.7V? 如何選擇偏壓，應做說明。
3. 缺少文獻比較，無法判斷做的是否有比其他已發表論文好?
4. 以預計規格列表來看，輸出功率不高，PAE也不好，看不出有特別的優勢。
5. 模擬結果沒有模擬圖，只有一張表，也沒有做Post-sim，RF電路沒有Post-sim不建議下線。
6. P15-115A-A0005、P15-115A-A0013、P15-115A-A0014放大器架構幾乎一樣，只有偏壓有不同，報告一樣簡略，請說明差異性。

7. 請提供詳細模擬結果圖，模擬結果須提供Post-simu與Pre-simu模擬圖做為比較。
8. 電路架構與P15-115A-A0005設計相同，匹配網路不同請提供與P15-115A-A0005設計結果的比較，並解釋本次下線的必要性。
9. 變異分析需考量溫度和電壓變異。
10. 效能表應該提供或是特別說明此方法有別於其他發表論文差異。
11. 本案電路與P15-115A-A0005/A0013內容高度相似，甚至與A0013皆是做最佳阻抗匹配的研究，但都未附上如何調整匹配網路及其對應的結果。
12. 建議申請者應至少做較完整的模擬數據，確實反映研究課題所需的資訊。

## 申請編號 P15-115A-A0015

專題名稱 Ku-Band頻段低雜訊放大器設計

晶片形式 Package:N/A + DieSort:18EA

評比: F

是否開放修改Layout: N

建議/修改

1. 報告內容過於簡略。沒有說明電晶體尺寸與偏壓選擇考量，針對RC回授的電阻、電容值如何選擇也沒有說明。
2. R2與R6的作用為何？對電路有何影響？電阻值選擇如何考量？
3. 為何Pre-layout simulation的NF較Post-layout simulation差？
4. 說明偏壓電路中的Bypass電容值為多大。從Layout上來看，電容面積很小，其容值應無法提供足夠的Bypass效果。
5. Bypass電容與Via hole間的接線過長，一般設計考量應該越短越好，以避免其電感效應影響Bypass效果。
6. Bypass電容應直接接到電路上需要AC short之處，額外不必要的接線會使Bypass電路無法提供良好效果。
7. 比較表應找有量測結果的參考文獻進行比較。
8. 圖 5：(b)顯示在12 GHz和約14.5 GHz之間的Post-layout Simulation輸入反射係數(S11)大於-10 dB。請試著設計輸入匹配網路讓S11在Ku Band皆小於-10 dB。
9. 未見製程變異分析及溫度變異分析。
10. Ku band頻段範圍的S21變化超過3dB，實際S21的3dB頻寬範圍可能包含比12GHz還更低的頻段，請問對於操作頻寬的設計考量是甚麼？
11. 標準的架構和設計方法。
12. 報告寫得極簡略，[5]相關研究發展現況完全沒有文獻搜尋。[6]研動機中，看不出有何動機！[7]-[9]是設計的核心，[7]不明確說明電路結構的作用，[8]-[9]其餘只有圖，沒論述。
13. 相關研究發展現況需適當引用微波低雜訊放大器發表文獻，並比較分析說明請切實重新撰寫。
14. 在研究動機部份，需與說明與申請案"P15-115A-A0008"和"P15-115A-A0009"差異化及其下線必要性。
15. 架構簡介須包含第一和二級電晶體尺寸選擇考量說明，此外須說明第二級回授網路(R5和C5)設計參考依據為何，R1及R4自我偏壓電阻值對製程變異影響(Q1和Q2直流偏壓電流影響)，請搭配適當模擬結果輔助說明分析。

16. 模擬結果呈現，X與Y軸需要有完善參數和單位標示；此外，需要文字討論分析，非轉貼模擬結果即可，請切實重新撰寫。
17. S參數模擬結果，頻率範圍請補充頻率範圍從0.01 GHz至100 GHz結果。
18. 該放大器為三級架構，穩定度須包含Interstage stability模擬結果。
19. 補充輸出P1dB和IP3對頻率模擬結果和說明。
20. 補充螺旋電感全波電磁模擬結果和說明，須包含電感值和品質因素對頻率作圖結果。
21. 補充電路性能對製程變異模擬，須包含Corner、電壓和溫度變異。
22. 量測考量缺雜訊指數和大訊號量測部分，請切實重新撰寫。
23. 文獻比較表需加入申請案"P15-115A-A0008"和"P15-115A-A0009"結果比較說明；此外，比較文獻應與最三年發表國際期刊和研討會論文為主，比較項目須包含晶片面積、P1dB和IP3等重要參數完善比較分析說明。

### 申請編號 P15-115A-A0016

專題名稱 Ku-Band頻段低雜訊放大器設計

晶片形式 Package:N/A + DieSort:18EA

評比: F

是否開放修改Layout: N

建議/修改

1. 報告內容過於簡略。沒有說明電晶體尺寸與偏壓選擇考量。針對RC回授的電阻、電容值如何選擇也沒有說明。
2. Q3的Gate端DC floating，沒有直流偏壓？
3. 電路佈局沒有Bypass設計，無法運作。
4. 需要直接接地的地方，應盡可能直接接到Via hole，避免不必要的額外接線。
5. 若要共用Via hole，Via hole本身與額外接線的寄生效應都會影響電路特性。
6. 文獻比較可增列1dB壓縮點(P1dB)和三階截斷點(IP3)以比較低雜訊放大器之線性度的特性。
7. 未見製程變異分析及溫度變異分析。
8. 標準的架構和設計方法。
9. 報告寫得極簡略，[5]相關研究發展現況完全沒有文獻搜尋。[6]研動機中，看不出有何動機！[7]-[9]是設計的核心，[7]不明確說明電路結構的作用，[8]-[9]其餘只有圖，沒論述。
10. 量測考量缺雜訊指數和大訊號量測部分，請切實重新撰寫。
11. 相關研究發展現況需適當引用微波低雜訊放大器發表文獻，並比較分析說明請切實重新撰寫。
12. 在研究動機部份，需與說明與申請案"P15-115A-A0008"、"P15-115A-A0009"和"P15-115A-A0015"差異化及其下線必要性。
13. 架構簡介須包含第一和二級電晶體(含疊接Q3)尺寸選擇考量說明，請搭配適當模擬結果輔助說明分析。
14. Q3電晶體開級無法給直流偏壓，因C5無法通過直流電壓，造成第二級無法正常工作。此外，第一級採用回授網路(R1和C2)設計，將使放大器整體雜訊指數大幅增加。
15. 模擬結果呈現，X與Y軸需要有完善參數和單位標示；此外，需要文字討論分析，非轉貼模擬結果即可，請切實重新撰寫。

16. S參數模擬結果，頻率範圍請補充頻率範圍從0.01 GHz至100 GHz結果。
17. 該放大器為三級架構，穩定度須包含Interstage stability模擬結果。
18. 補充輸出P1dB和IP3對頻率模擬結果和說明。
19. 補充螺旋電感全波電磁模擬結果和說明，須包含電感值和品質因素對頻率作圖結果。
20. 補充電路性能對製程變異模擬，須包含Corner、電壓和溫度變異。
21. 電路佈局之直流偏壓部份缺旁路電路設計。
22. 文獻比較表需加入申請案"P15-115A-A0008"、"P15-115A-A0009"和"P15-115A-A0015"結果比較說明；此外，比較文獻應與最三年發表國際期刊和研討會論文為主，比較項目須包含晶片面積、P1dB和IP3等重要參數完善比較分析說明。
23. 申請人四件申請案，存在諸多設計問題，如直流偏壓、穩定度、布局設計(旁路電容)、缺乏完善電磁模擬等，若不加以改善，電路將無法正常工作。此外，所提出低雜訊放大器皆消耗極大直流功率，電路性能也無法與文獻比較。

### **申請編號 P15-115A-A0018**

專題名稱 適用於5G NR FR2頻段相控陣列系統之頻率可重構式非對稱單刀雙擲射頻切換器

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. 比起已發表論文，Insertion loss大上不少，請說明設計的限制，是否滿足系統應用？
  2. 請說明此可重構式Switch頻帶選擇為什麼在24.5-26.5GHz, 40-43.5GHz, 47-49GHz？與我們常使用的28GHz/39GHz不同，是否是因為此架構，在選擇切換頻帶上，受到設計上的限制？
  3. Power handling也是Switch重要參數，請提供模擬結果。
  4. 請由系統應用端說明TX/RX的Isolation > 10 dB即可的理由。
  5. 本設計的TX/RX Isolation遠低於其他參考文獻，請說明其原因。
  6. 三頻段非對稱開關延續前一次下線結果，進一步擴展為Tri-band可重構操作。
  7. 模擬結果在三個頻帶內皆可滿足插入損耗、回波損耗、隔離度與功率規格。
  8. 量測上該如何考量雙頻模式？
  9. 以5G NR2三頻段式設計TR射頻開關，具實用性。
  10. 模擬資料完整，但請補充IP3資料。
-