

T18-115B 審查結果報告

公告時間：115 年 06 月 01 日

注意事項：

1. 在申請者回覆審查委員建議期間內，不再另行通知或催繳等動作；若未能即時上傳資料者，將取消下線資格，請務必確實掌握回覆時間
2. 設計者之修改資料或補交資料，於**115.06.05(五) 中午12:00前**上傳至審查意見回覆系統（操作步驟：TSRI網頁→晶片製作→下線申請→下線申請總表→審查意見回覆上傳），若有相關問題可聯絡下列人員：
 - a. 使用 full-custom：
陳怡華小姐(Email:eva@narlabs.org.tw;TEL:03-5773693 ext.7131)。
 - b. 使用 cell library：
鄭舜文先生(Email:cplin@narlabs.org.tw;TEL:03-5773693 ext.7163)。
 - c. 使用 MSMS：
林玟淨小姐(Email:jeanlin@narlabs.org.tw;TEL:03-5773693 ext.7153)。

說明事項：

1. 此報告包括 **書面審** 之審查結果報告。
2. 申請編號中，序號英文字母代表：A:10%部分負擔，E:教育性晶片，I:優良晶片，N:新進教師晶片。序號之尾端字母代表：a:使用 Cell-based Design Kit，m:使用 Multi-option-MEMS(TSRI MEMS後製程)，M:整合晶片。
3. 下線之優先順序按口頭報告/書面審查評分標準：A-極推薦，B-推薦，C-勉予推薦，遇相同評比時，則以指導教授之加總積點較高者優先下線。無論評定為何種等級(A, B, C, D)，務必均須照所有委員之評審意見(含修改/建議)作回覆(修改或說明)。
4. 凡是委員有要求修改Layout的申請者必須重新跑過Calibre DRC(**P15:Assura DRC**)；如繳交Layout後有DRC錯誤者即不予下線，若資料無法上傳，請務必來電與承辦人員聯繫及確認。
5. 請設計者確實核對所列包裝方式是否正確，以免日後造成無法封裝；若委員建議修改亦需變動打線圖時，**請務必重新上傳更新之打線圖**。(重要：若因變動打線圖而需更改申請包裝形式者，敬請務必與承辦人員進行確認，以避免日後晶片費用計算有問題因而影響您的權益。)
6. 請佈局需修改的申請案按照委員建議進行修改，否則將以回覆委員建議未完全而不予下線，**請注意!依規定，不可比原佈局增加長寬邊的長度，違者則不予採用已修改之佈局檔案**。
7. 安排晶片下線即依排序標準安排製作（同等級時依加總積點高者優先排序；等級評定為C之晶片，TSRI具彈性下線調整權），至該梯次面積用完為止，TSRI在

送交製作前將公佈下線資料，未能安排製作之晶片，無論評定等級為何，不予保留至下梯次製作。

8. 此梯次的「審查結果報告」亦公佈於網路 (<https://www.tsri.org.tw>)之「資訊公開→最新公告」，下線晶片資料隨後公佈，歡迎查閱。

一、審查結果

申請編號 T18-115B-A0001a

專題名稱 具偏移補償軌對軌動態比較器之增強式學習自適應量化十位元逐次漸進式類比數位轉換器精度與轉換速度優化設計

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.請詳細說明圖 9.4比較器電路與specification包括: Vos, Resolution time, propagation delay time T_{pLH}, T_{pHL}等項目之pre-simulation 與post-simulation模擬結果，以加強說明 comparator電路設計之實用性
- 2.第9.5項模擬結果所列之模擬結果太少,必須再增加對VDD+-10%之模擬結果，以加強說明整體電路設計之實用性.
- 3.第15項效能比較表，必須再增加對FoM (Figure of Merit)結果比較，以加強說明整體電路設計之實用性.
- 4.研究的目標:在低功耗的前提下，利用增強式學習的自適應量化方法來提升SAR ADC 的轉換速度，並搭配動態比較器與MOSCAP 偏移補償來確保精度，希望在速度、精度與功耗三個面向之間找到一個更好的平衡。整體設計與說明清楚，具有學術價值。
- 5.比較表缺乏ENOB資料，請補充。
- 6.本作品宣稱所提技術兼具高轉換速度、低功耗的好處(本來需要比較10次，變成只需要比較5次)。但模擬的取樣速度(2MS/s)與功耗(0.87mW)並未顯現此一優點。即便是180nm製程，傳統10-bit SAR ADC應至少可達20MS/s，且在20MS/s的取樣速度下，功耗也不會超過1mW。計劃書所列的幾篇比較論文都不是發表在稍具知名度的期刊或研討會，更彰顯效能不如宣稱。
- 7.如果input只有10種可能的輸入，也就是(1~10) * 0.174v，ADC為什麼要做10位元？例如：6位元解析度為何不夠？
- 8.模擬不夠完整，在PVT variations的模擬，只有考慮process corner的變化，沒有random mismatch (comparator offset的來源，本計畫要解決的問題之一)，也沒有溫度與電源電壓variations情況下的模擬結果。
- 9.量測考量有提及ENOB計算方式，但模擬結果並沒有任何ENOB的效能數值。
- 10.比較表中應該要呈現ENOB結果。

申請編號 T18-115B-A0002a

專題名稱 具主動整流與閉迴路穩壓之最大效率追蹤E類功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

- 1.本次晶片為可使於無線傳能(wireless power transfer, WPT)部分電路晶片實現，主要實現有主動整流部分、Error amplifier (EA)、Comparator (CMP)、DPWM、與線性回歸數位電路，整體電路實現功能有其複雜度。
- 2.晶片設計過程先使用OCEAN作系統分析，類比電路部分：使用Hspice與Spectre模擬分析，Virtuoso 作佈局。數位部分：以Verilog code 實現神經網路硬體化區塊，使用Innovus作佈局，並以CustomSim(XA)將兩個區塊合併進行驗證後模擬。整個設計過程，採用多個EDA軟體設計與整合，整體複雜度不低，值得鼓勵與支持。
- 3.申請書內容之工作原理說明清楚，從申請書內容，驗證功能均能達到所要預期規格。
- 4.WPT可達到傳能端(Tx)與接收電能端(Rx)兩者線路完全獨立分開，不互相拉線，為其主要優勢。此作品為達到閉迴路穩壓與最大效率追蹤，嘗試監視lin與lout值，其中lout需回授至傳能端(Tx)作調整，雖然達到輸出電壓穩定之功能，但亦造成WPT其主要優勢下降，是否具產品實用恐仍需再評估。
- 5.動態調整電容Cp有七個位元(bit)，位元數多寡與實際達成功效，似未完全展示與驗證說明。
6. The proposed optimization does not necessarily require machine learning since the relationship among Cp, duty cycle, and efficiency can be derived analytically or obtained through theoretical circuit modeling.
7. Because the system behavior is governed by deterministic resonant equations, the optimal Cp and switching duty can be directly calculated without relying on neural-network training.
8. The use of linear regression and neural networks appears excessive for this application, as the efficiency optimization can be achieved through conventional theoretical analysis and parameter sweeping.
- 9.使用數位神經演算網路具有創意。
- 10.數位神經網路演算電路之精準度為何?延遲時間多大?對於系統影響為何?
- 11.未考慮Active rectifier因各種非理想效應之效率衰減。

申請編號 T18-115B-A0004

專題名稱 具能量偵測與無線供電之閉迴路電流控制雙相電流神經刺激晶片

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.可能需要一個驅動級將LNA Input Common-mode 的電壓設定在合理的範圍來避免60Hz的干擾，及將輸出電壓限定在電流輸出級之正常工作電壓範圍。
- 2.電流刺激電路之設計與模擬結果未提供。
- 3.於已驗證之前案增加刺激回饋以提高實用性。
- 4.建議說明閉迴路系統收斂時間及穩定性分析，以確認在實際生理訊號下的調整動態。

- 5.量測架構規劃使用Arduino仿生醫量測，具體可行，但建議補充在實際生理環境之驗證計畫。
- 6.僅與一篇十年前之文獻進行 sub-block 層級的比較，對於近年之 closed-loop neurostimulators 相關研究與技術演進，則缺乏進一步探討與比較分析。此部分可能導致研究定位與創新性論述不足，未來投稿論文時，亦可能面臨與既有研究成果之區隔性與衝突性問題。

申請編號 T18-115B-A0006

專題名稱 4.8GHz小數型鎖相迴路暨無突波多級雜訊整形之三角積分調變器

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

- 1.使用現有技術設計與實現 fractional-N PLL。
- 2.比較缺乏創新的想法與做法。
- 3.模擬完整，已簡略考慮量測。
4. pre-sim TT jitter 727 fs(表9.1), post-sim TT jitter 變大 到728 ps(表9.2)，單位沒改到？
- 5.表9.2的phase noise在0.9VDD時掉到-80.19，請補充說明電路設計上的缺點。
- 6.本作品是採用mash delta-sigma modulator設計，可是報告中缺乏相關的模擬結果，應補充說明。
- 7.缺乏VCO的模擬結果，應有Kvco, tuning range以及2-bit SCA的模擬結果，驗證VCO特性。
- 8.本設計採用 delta sigma modulator 實現 fractional-N PLL. Modulator 採用 error feedback 架構，並無新的設計加入，整體架構也未見新創特性。
- 9.本設計應該避免電感，面積過大. Ring oscillator 相對面積縮小許多。
10. DSM 架構應該詳述，圖7.6.4 截圖一個L-th 階數 MASH error feedback modulator. 文字描述提到MASH1-1-1. 作者應該更用心在報告的描述。
- 11.本次PLL 設計，與其他PLL下線設計類似，小幅度改變。
- 12.雖然不影響作品的可行性，但是電路設計說明過於簡略，使用縮寫缺乏全名的註記。
- 13.模擬結果說明簡略。VDD與溫度變異的條件是加在哪一個corner並未說明。(表9.1、9.2與相關的模擬圖)
- 14.輸出頻譜圖應註記使用何種方式得出之結果，請問SS條件輸出主頻(4.8GHz)功率為-4.8 dbm，是否可用？FF條件的輸出主頻功率由圖看起來是0 dbm，但是標註137.48dbm，是否有誤？

申請編號 T18-115B-A0007a

專題名稱 結合暫態加速技術與基因演算法最佳化二階數位三角積分調變之混合式降壓轉換器

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.此晶片設計結合暫態加速技術與基因演算法實現一降壓轉換器(DC-DC Buck Converter)。切換式降壓轉換器在當今SoC設計具有重要功能，負責不同電壓之轉換應用，本晶片設計強調高效率與改善瞬態反應速度，是一項頗熱門研究主題，研究有其重要性與有用。
- 2.前一次(T18-114C-E0013)晶片已順利設計一最佳化二階CIFB數位三角積分調變器，並量測functional work。本次研究以RTL 程式實現積分調變器的數位控制電路，並在電感端導入了暫態加速迴路以即時感測電流變化，加快暫態響應。整體設計似以前次架構為基礎再改良而成，其暫態響應(4 us)與漣波電壓(43 mV)相較於其他文獻表現亮眼。
- 3.本次設計結合Matlab、Simulink、Verilog、SPICE、Virtuoso、CustomSim始完成整體設計，設計複雜度與設計技巧頗高。
- 4.本申請書內容完整，動機與文獻回顧說明清楚，模擬結果呈現完整，量測考量說明用心，申請書整體內容書寫完整用心，值得支持與鼓勵。
5. The transient acceleration path directly forces large duty-cycle changes, which can significantly increase output voltage ripple and switching noise during load transitions.
6. The proposed hybrid control introduces additional sensing, comparator, and acceleration circuits that continuously consume power, reducing the overall power-conversion efficiency especially at light load.
7. The aggressive transient-assist mechanism may improve response speed, but it increases unnecessary switching activity and energy consumption, making the system less power-efficient.
8. The simulation needs to include the wire bonding model.
- 9.使用基因演算法之數位控制具有創意。
- 10.數位控制基因演算法電路之精準度、功耗和延遲時間是多少?對於系統有何影響?

申請編號 T18-115B-A0008

專題名稱 集膚效應對於差動放大器在靜電放電事件中的影響

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

1. Test key2 與 Test key3 預計規格完全相同，不易對照實驗結果。
- 2.此實驗造成的ESD損傷不易反映集膚效應差異。
- 3.本研究延續前作探討集膚效應於完整差動放大器與 ESD 保護路徑中的影響，研究方向具一致性與完整性。本案對 ESD model、skin effect 與差動放大器架構之文獻整理與分析完整，研究動機與系統規劃清楚。
- 4.相較於既有文獻多著重於單一 ESD protection device 或金屬導線分析，本研究進一步探討 ESD transient 對完整 analog front-end 之影響，具跨領域整合性與一定學術新穎性。文中效能比較表所呈現之 FOM 亦具相當競爭力。
- 5.本研究目前主要著重於 transient behavior 與 ESD stress effect 分析，然而對於 post-stress circuit degradation、transient thermal effect 與 current crowding 等現象之模型化與量化分析仍有進一步加強空間。
- 6.整體而言，本案具一定研究價值與延伸潛力，建議准予下線。若後續能進一步補強

post-layout transient simulation、TLP/HBM stress 後性能退化與模型化分析，將更有助於提升研究完整性與學術貢獻度。

- 7.此專題應該是靜電防護電路，但是效能比較是differential amplifier.
8. Differential amplifier電路圖沒有補償電容，請說明為何此電路不須補償電容.
- 9.本設計案是屬於新型的研究，希望探討在金屬走線因為集膚效應的影響，對靜電耐受程度的影響，設定的目標以一個差動放大器所見到單一爭議緩衝器設計，來看能夠累積的靜電攻擊次數，在實際應用的屬性是有價值的，在論文的探討屬於較特殊的領域。
- 10.電路的模擬分析大致完整測試應該可以達到預期的目標，但是也仍然希望多一點敘述來說明如何界定集膚效應的影響力的數據理論。

申請編號 T18-115B-A0009

專題名稱 具鎖相迴路輔助自適應導通時間控制之快速暫態響應降壓轉換器

晶片形式 Package:40 S/B:8Pcs + DieSort:10EA

評比: D

是否開放修改Layout: N

建議/修改

- 1.此晶片主要設計一電流模式之降壓轉換器(Buck Converter)，為加快暫態響應與維持輸出電壓穩定度，本設計加入鎖相迴路(PLL)與自適應導通時間控制(AOT)技術。
- 2.本晶片為優化之前類似晶片設計(U18-114C-E0029)，前次晶片經量測partial work。如表二所示，此此設計改採T18製程，強化輸出電流容量(從70 mA 提升至500 mA)與加快暫態響應。晶片有三條回授路徑設計，分別電流回授、輸出電壓回授、與鎖相迴路回授路徑，整體電路設計有其技術性與困難度。
3. Power MOS 通道寬度W極大需求下，本設計採用Waffle佈局，亦是改善之處與優點表現。
- 4.表4顯示，晶片特性相較於其他文獻，暫態響應速度、暫態電壓、與特性比優值(FoM)均表現十分亮眼，惟peak efficiency 僅49%，較為可惜。從表3顯示本晶片PreSim時仍有95.8%，但PostSim後大幅降低，建議晶片設計者可再細部檢查一下，例如：Non-overlapping電路功能 或 Clock驅動電路、PLL或Clock訊號品質…等因素。
- 5.量測配置說明：“…在各個接地端 利用0歐姆的電阻來隔絕類比與數位地端防止電源互相干擾 …”。此處所謂0歐姆的電阻，不知其真實意義 與功用？
- 6.本晶片所需整體面積本可更小，但晶片設計似為壓低電源端之IR Drop與提供大電流輸入能力，因此共有10個Vin I/O Pad共用，導致本晶片I/O Pad大幅增加，導致增加所需佈局面積，申請者似可再考慮其必要性。或採取其他應變方式，例如：增大金屬層寬度、縮短電源線金屬層長度、多打bonding線(實際技術上不知可行否?) …等應變方式，或有機會再縮小整體晶片佈局面積。
- 7.晶片整體設計有其複雜度，大型SoC亦需要高速暫態之Buck Converter需求，因此，本次設計研究仍有其重要性與功能特點。
8. The proposed architecture introduces multiple additional control loops and analog-assisted circuits, which increase power consumption and switching overhead, leading to reduced overall efficiency.
9. Although the work emphasizes frequency locking, it does not implement spread-spectrum modulation for EMI reduction, so the claimed EMI advantage remains limited and lacks sufficient innovation.

10. The combination of AOT, PLL, and current-mode control mainly reuses existing techniques without introducing fundamentally new control concepts, making the overall circuit innovation relatively limited.
11. The simulation needs to include the wire bonding model.
12. efficiency過低，應分析原因。
13. 模擬結果和規格比較表看不出使用PLL之好處。

申請編號 T18-115B-A0011

專題名稱 利用逐次逼近暫存器型類比數位轉換器及曲率校正之低溫度變異能隙參考電壓電
晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. 請詳細說明圖4二階運算放大器(Folded-Cascode Op Amp)電路與規格,包括: $RL=? K \Omega$, $CL=?pF$ 以及 V_{os} , $ICMR$, $CMRR$, Settling time, Slew Rate, PSRR, ...之pre-simulation與post-simulation模擬結果,以加強說明整體電路設計之實用性.
2. 請詳細說明圖5 Notch filter之clock frequency F_s ?
3. 請詳細說明圖13比較器電路與specification包括: V_{os} , Resolution time, propagation delay time T_{pLH} , T_{pHL} 等項目之pre-simulation 與post-simulation模擬結果,以加強說明 comparator電路設計之實用性.
4. 第9.8項整體電路暫態模擬之模擬結果所列之模擬結果太少,必須再增加對 $VDD\pm 10\%$ 之模擬結果,以加強說明整體電路設計之實用性.
5. 第15項效能比較表,必須再增加對FoM (Figure of Merit) 結果比較,以加強說明整體電路設計之實用性.
6. 報告內容說明清楚,設計具有較佳的補償效果。
7. 本案目標規格極高,補償後輸出電壓的溫度變異要小於 $1ppm/^\circ C$,具挑戰性。
8. 本案在模擬部分有完整地納入PVT variations之效應,值得肯定。但比較大的問題也是出現在模擬不夠完整。主要的原因是本案規格相當高,且電路中包含多個電阻,再加上一般電阻隨溫度的變異量高於本案目標規格,故建議分析時就要納入電阻的溫度係數,模擬時也須把電阻值隨溫度變異的情形納入考慮。
9. 除了電阻的溫度效應外,本案補償後的電壓,在 $-40^\circ C \sim 125^\circ C$ 的範圍內,變異量皆小於 $100 \mu V$,與電路雜訊同等級,甚至小於電路雜訊,模擬時應將noise納入考量,量測亦是。
10. 在第12、13頁中,為什麼Bandgap輸出電壓會隨著時間變化這麼大?

申請編號 T18-115B-A0012

專題名稱 結合雙向積分差分、被動電荷平均與動態列洗牌技術的低雜訊微測輻射熱計之讀出電
路

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. 模擬不完整，欠缺全體線路整合模擬。
2. 建議ADC應做線性度模擬。
3. 未考量前端電路與ADC個別量測。
4. 本研究對於 CTIA OPAMP input-referred noise、thermal/flicker noise，以及積分期間 noise contribution 等低雜訊關鍵議題之分析仍較不足，相關 noise reduction technique 與 noise budgeting 亦未完整呈現，於實際高解析度 microbolometer 應用中可能成為重要限制因素。
5. Array 中每一個pixel的電阻值都會有變異，如何去保整個array的所有pixel的uniformity?
6. 本設計案希望在紅外線為側輻射熱計系統的新設計上提出自己的貢獻，研究主題屬於特定領域的重要研究目標，報告中對所提的創新方法做了一些敘述，著重在訊號的讀出方法以及藉由動態洗牌形式的改善提升系統的空間均勻度和訊號的一致性。
7. 就創新創意而言研究的價值是存在的電路分析和模擬大致上也證實可能是可行，但是分析的數據或許可以再加以說明如圖14之後的數據價值的具體意義為何。
8. 測量準備說明清楚，應該是具有在未來驗證晶片的能力。

申請編號 T18-115B-A0013m

專題名稱 CMOS-MEMS塌陷模式CMUT之設計與模擬驗證

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

1. 請補充說明本申請案與前次編號T18-115A-A0020下線製作的塌陷模式CMUT，其性能有何提升?
2. 請詳細考量和說明圖 10 鋁合金濕蝕刻，如何避免Stiction? 假如遭遇Stiction，接著該如何處理?
3. 請補充分析元件之位移與電容變化量。
4. 請說明Q-factor=10，如何計算獲得?
5. Q-factor=10代表元件非常耗能，實用性較低，請說明如何改善Q-factor?
6. 為了觀察不同共振頻率的變化，建議除了調整直徑以外，同時也可以嘗試著將貴研究單位過去的方形薄膜一起納入討論比較，且尺寸差異之跨距也可加大，以利實驗做觀察。
7. 在使用PECVD沉積二氧化矽進行封腔時，除了上薄膜等效剛性的改變，另外想請問是否有將殘餘應力的影響納入考慮?(例如鍍膜完畢以後，薄膜變為向上翹曲、或是向下翹曲直接接觸於下電極)
8. 承上，如改成PECVD氮化矽、Parylene-C或ALD Al₂O₃的話，又會有什麼影響或差別?
9. 建議如要將實驗結果與有限元素模擬的結果型比較，可能須將相關的材料特性參數(包括楊氏係數與殘餘應力等)街全部納入考量，以便得知模擬的準確性。
10. 針對此種塌陷模式的操作，元件在可靠度方面是否會明顯低於傳統模式?
11. 電極表面的絕緣層是否能抵擋電場作用而避免崩潰? 一般Oxide其介電強度大約6 MV/cm -10 MV/cm，所操作的pull-in voltage可能使oxide崩潰。
12. 所謂崩潰模式操作是指操作前先讓薄膜pull-in嗎? 此模態操作是否會有非線性、如遲滯效應?

- 13.崩潰模式操作是以CMOS MEMS方式的新嘗試，值得一試。
- 14.是以相同的發射元件作感測嗎？晶片上最好也有感測電路。
15. $V_{pull-in}$ 隨 PECVD SiO_2 厚度 (0.2–0.6 μm) 由 52.4 V

申請編號 T18-115B-A0014

專題名稱 應用於ReRAM材料測試之整合晶片

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

- 1.頻率不高，線路可以全部使用高壓元件，不需要額外轉換電壓。
- 2.欠缺TIA線路模擬。
- 3.放大器欠缺偏壓啟動線路，晶片有失效風險。
- 4.量測考量不完整，未說明預期量測數據為何？
- 5.相較於目前 ReRAM 文獻多聚焦於 retention、endurance、multi-level operation 與 CIM application 等核心議題，本研究之主要貢獻較偏向異質整合與測試平台建立，對記憶體核心架構與演算法層面之創新性仍較有限。此外，對 write variability、forming behavior 與 sneak current 等問題之分析亦仍不足。
- 6.拿到的晶片是die不是wafer，拿到die後如何在晶片上面加工？
7. Level shifter 電路圖有誤。如果照申請書上畫的電路圖做是不會work。
- 8.本件研究是跨國的研究，對申請者主要是做電路的設計，而其中RRAM的部分單元仍將倚賴跨國由德州農工大學進行，將新研究的店主式記憶體材料加工在晶片上方，就研究的價值而言本研究的計劃在目標上是具有國際合作的學術性價值，但是因為需要跨國以及二次加工，因此要注意假如本次晶片的產出數量是否足以支持這項合作可能額外增加的損耗，請確認與中心具體討論。
- 9.最後完成的晶片規格是否能夠更具體的指出本件研究和其他文獻的比較，在技術規格價值上的特色說明。

申請編號 T18-115B-A0015m

專題名稱 高頻壓電共振器與振盪器之整合協同設計

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

- 1.請詳細說明共振器的幾何結構尺寸。
- 2.請詳細說明共振器的質量、阻尼、彈簧係數等，並利用振動學的自然頻率公式計算共振器的共振頻率。
- 3.請說明共振器的共振頻率2.3 GHz，如何計算獲得？
- 4.請說明共振器的Q-factor=1000，如何計算獲得？
- 5.請圖示說明共振器的製作流程，以及說明可能遭遇的困難和處理辦法。
- 6.請說明共振頻率2.3 GHz的共振器有何用途？舉一實例。

- 7.圖表編號與內文錯誤：(1)多張圖並未出現現在內文，如圖一~圖三、圖八等；(2)多張圖文敘述不符合，如圖八明明是元件照片，但內文卻說是電路圖、圖十三明明是等校電路圖，但內文卻說是量測結果。建議上傳前多次檢查報告內容是否有誤，避免傳達錯誤資訊，不利審查。
- 8.內文提到本研究目的在於整合MEMS 共振器與振盪電路，以實現單晶片振盪系統。但MEMS共振器是額外採用壓電晶片製作並非CMOS晶片，因此至少會有兩個晶片。建議說明單晶部分是如何定義。
- 9.在[12]佈局平面圖中，建議增加敘述，說明四個電路的差異，以及擺放位置或是電路之間的時間隔是否有顧慮。
- 10.如文中所述FBAR常見形式包含air-cavity與SMR兩種，是否可以說明本研究預計採用哪種形式的FBAR以及選用原因。
- 11.模擬時是否有加上適當的寄生電容來確認起振條件不受影響？
- 12.所設計的規格有競爭性，phase noise部分似乎未比較。
13. Bondwire 寄生雖已納入 (2 mm Al , $L_{\text{eff}}=1.597\text{ nH}$, $R_{\text{eff}}=0.54\ \Omega$)，但 post-sim 僅做 3 corner ($|R_{\text{neg}}|=6.1/9.3/12\ \Omega$)。請確認 SS 角加上 package 與 PCB 最差寄生下， $|R_{\text{neg}}|$ 是否仍能維持 $\geq 2 \times R_m$ ？
- 14.模擬皆於 25°C 與 ideal Vdd 1.2 V 下完

申請編號 T18-115B-A0016

專題名稱 具截波負電阻與有限脈衝響應數位類比轉換器之三階連續時間三角積分調變器

晶片形式 Package:28 S/B:8Pcs + DieSort:10EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.請詳細說明圖23與24運算放大器(Op Amp)電路與規格,包括: $RL=?\text{ K}\ \Omega$, $CL=?\text{ pF}$ 以及 V_{os} , ICMR , CMRR , Settling time , Slew Rate , PSRR ,...之pre-simulation與post-simulation模擬結果,以加強說明整體電路設計之實用性.
- 2.請詳細說明圖26 比較器電路與specification包括: V_{os} , Resolution time , $\text{propagation delay time}$ T_{pLH} , T_{pHL} 等項目之pre-simulation 與post-simulation模擬結果,以加強說明 comparator電路設計之實用性.
- 3.第9.5項模擬結果所列之模擬結果太少,必須再增加對VDD+-10%之模擬結果,以加強說明整體電路設計之實用性.
- 4.專題為三階連續時間三角積分調變器,應該補充在系統層面提供三階NTF轉移函數,並提供對應到系統的係數。
- 5.申請者針對非理想效應進行說明,如時間常數變異與回授路徑額外時間延遲,討論後應該提供電路設計規格或需求,並導入電路設計中。
- 6.量測考量過於簡略,所有的CTDSM都是這樣量,規格很好、規格普通都是這樣量測,這段文字看不出對於量測認真考量了些什麼。訊號源要多好,如果儀器訊號不夠好怎麼辦? 等許多量測實務應加以說明。
7. Post-layout simulation結果都優於pre-layout simulation,原因為何? 似乎代表寄生效應會改善電路效能,但若是如此,設計者應找出那些地方,故意多掛一些寄生,讓電路效能更好。(反串要註明)

申請編號 T18-115B-A0019a

專題名稱 基於慣性測量元件之人體柔軟度與平衡能力評估系統之數位電路設計與動作分類

晶片形式 Package:24 S/B:8Pcs + DieSort:10EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. The proposed design without comparisons with the existing research to show the design strength.
- 2.宜對圖42、43多加解釋說明。
- 3.可說明與[13]設計的不同處。

申請編號 T18-115B-A0020

專題名稱 具突波抑制功能之4.8GHz次取樣鎖相迴路

晶片形式 Package:N/A + DieSort:18EA

評比: **C**

是否開放修改Layout: **N**

建議/修改

- 1.圖7-2未說明。
- 2.圖7-9未加上retimed D-flop-flop 減少divider chain 的 time delay variation.
- 3.使用現有技術設計與實現, 比較缺乏創新的想法與做法。
- 4.本次設計採用了spur reduction technique, 但是模擬 結果顯示pre-sim TT 的reference spur 是-84 dBc, post-sim TT的reference spur則是-64.43 dBc, 相差將近20 dBc, 應該要有layout造成的不理想效應分析。
- 5.本設計應該避免電感, 面積過大. Ring oscillator 相對面積縮小許多, 類似[3], 驗證本設計降低電路雜訊的特性。
- 6.本設計其他的電路, 並未有新創意。
- 7.晶片量測以”下針”量測, 與其他發表的著作比較, 會有較好的量測結果. 目前效能比較表的模擬結果, 並未顯示出較好的效能。
- 8.本次PLL 設計, 與其他PLL下線設計類似, 小幅度改變。
- 9.電路設計說明過於簡略, 使用縮寫缺乏全名的註記。圖7.12各個子圖經多加說明條件, 過於簡略。
- 10.模擬結果說明簡略, 部分模擬透過 Matlab 以轉移函數進行合成, 應加以說明。
- 11.有關輸出主頻(4.8GHz)的功率在圖9.2TT條件有-12.3dbm, 是否可用?
- 12.表9.3只針對TT條件加入溫度變異與電壓變異, 不足以表示最大可能的極端條件。

申請編號 T18-115B-A0021

專題名稱 數位化輸出紅外線資訊傳輸用之溫度補償基於LVDS協定之TRX電路

晶片形式 Package:N/A + DieSort:18EA

評比: **C**

是否開放修改Layout: N

建議/修改

1. 電路架構創新性較不足。
2. 晶片量測考量未詳細說明。
3. 缺乏定量之效能提升或優勢比較。
4. 測試考量較簡略, 儀器、訊號規格需求未說明。
5. Post-sim眼圖顯示jitter由Pre-sim的2 ps上升至10 ps, 然而報告僅歸因於佈局寄生效應, 缺乏對jitter組成的進一步分解與分析; 此外, channel model所引入的ringing現象亦未提出對應的改善方案。
6. 四相時脈路徑的timing skew對serializer輸出之影響, 以及TX與RX之間rise/fall time mismatch對系統timing margin的衝擊, 建議一併補充說明, 以更完整地評估系統訊號完整性。
7. 建議補充Bit Error Rate之分析。

申請編號 T18-115B-A0022a

專題名稱 一款基於RISC-V架構整合基於PUF多重信任根封裝引擎結合硬體密碼套件之安全晶片設計

晶片形式 Package:100 CQFP:8Pcs + DieSort:10EA

評比: B

是否開放修改Layout: N

建議/修改

1. 各PUF cell 輸出達穩定時間不同, 有超出預期而影響讀取時序的可能性。
4. 整體而言, 本案具良好研究深度與實際應用潛力, 若後續能進一步補強 formal security analysis、PVT variation 與 attack model 驗證, 將有助於提升研究完整性與系統可信度。
5. 規格比較表列了Native BER = 2.6%. 但是模擬結果沒有Native BER的模擬.
6. 此專題的重點是PUF cell, 此電路transistor sizing很重要, 設計者應說明如何對此電路的電晶體做sizing.
7. 本電路設計是資安晶片的設計, 進行新型的演算法和系統安全機制的強化, 基本上這是由產業公司的產學合作計劃資助所進行的晶片設計, 因此研究的價值著重在產業性的利益, 能夠提供新型的設計。電路的設計流程及分析大致清楚也對設計的概念進行合理的電路模擬因此電路雖然龐大, 但是因有機會可以落實實現。當然報告可以再多強調本項研究的學術價值。

申請編號 T18-115B-A0025

專題名稱 使用雙迴路架構和時間放大相位頻率偵測器之4.8GHz鎖相迴路

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

1. 使用現有技術設計與實現 PLL。

- 2.比較缺乏創新的想法與做法。
- 3.模擬完整，FOM=-249.17。
- 4.已簡略考慮量測。
- 5.在[12]佈局平面圖這段中的Power Dissipation: 15.36 mW是貼錯數據嗎？在預期規格表與效能比較表中的 P_DC是 < 8mW 與 7.68mW。
- 6.本設計的面積太大，應該採用 ring OSC，避免使用電感。
- 7.已有二個迴路，sub-sampling loop 可以降低 in-band phase noise，更應該用 ring oscillator 來驗證電路。
- 8.本設計的研究動機，在輸出高頻時脈訊號，應該使用 40nm 28nm 來實現。
- 9.本次PLL 設計，與其他PLL下線設計類似，小幅度改變。
- 10.電路設計說明過於瑣碎，不易推測電路性能，僅能仰賴模擬結果。
- 11.對於模擬結果的說明過於簡略，模擬條件雖有SS到FF等條件的分析，但是針對TT條件加入溫度變異與電壓變異，不足以表示最大可能的極端條件。(圖9.6.9-9.6.15)。另雖然不影響閱讀，但圖表的編號未整理。
- 12.設計流程僅有流程圖，欠缺適當說明。
- 13.圖9.2.2的SW0、SW1未加說明在何處？

申請編號 T18-115B-A0026a

專題名稱 基於慣性感測器之精準體適能即時跳躍參數分析與機器學習動作分類數位電路設計
晶片形式 Package:24 S/B:8Pcs + DieSort:10EA

評比: B

是否開放修改Layout: N

建議/修改

1. Not clear on how to validate the chip' function with the system integration.
- 2.宜對圖75~77多加解釋說明。

申請編號 T18-115B-A0027

專題名稱 應用於超低溫系統上電感之特性與分析
晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.本設計使用0.18 um CMOS製程設計超低溫系統(T=1~4.2K)上之使用三個圈數為 3.5 圈，線圈寬度 6，內半徑分別為 50、40、30 的八邊形螺旋電感。本設計為單純電感器測試鍵與de-embedding PAD 的設計，並無新的創意，而以低溫環境測試後，建立低溫電感器模型。
- 2.三組電感器EM 電磁模擬結果與台積模型比較具特性優勢，惟tsmc 應為方型inductor，特性理應較八邊形螺旋電感遜色。
- 3.建議提供inductance, Q, and resonant frequency的電感器特性之效能比較表。
- 4.有不少文獻已經有探討CMOS電感在低溫下的特性，應該參考這些已發表文獻，來修正EM的參數，預估在低頻量測下的電感特性。

5. What is the frequency range for the targeted applications?
6. Please add some analysis and references for the predicted inductor behavior at cryogenic temperatures. This topic has been studied and discussed before.

申請編號 T18-115B-A0029a

專題名稱 兩個十二位元每秒一千二百萬次取樣具有電荷再分配訊號縮放技術與電容校正之逐漸逼近式類比數位轉換器

晶片形式 Package:128 CQFP:8Pcs + DieSort:10EA

評比: C

是否開放修改Layout: N

建議/修改

- 1.效能尚可。
- 2.校正殿路發揮效果。
3. weight capacitor 如何設計, 宜說明。
4. SAR用weight capacitor, 無法工作在低頻, 宜說明本晶片工作範圍。
5. ADC 線性度, 請補充。
6. offset 如何解決。
7. Design corner simulation未列入電壓變異, 這對於Analog電路而言, 顯然不足。
- 8.既然是重新下線, 為何又說是『全新設計』?
9. ADC + LMS不算是一個SOC吧! 沒有platform就不能說是SoC。

申請編號 T18-115B-A0030a

專題名稱 結合慣性測量元件之腕關節活動範圍及旋轉軸量測與動作辨識系統之數位電路設計

晶片形式 Package:24 S/B:8Pcs + DieSort:10EA

評比: B

是否開放修改Layout: N

建議/修改

1. Not clear on how to validate the chip' function with the system integration.
- 2.宜對圖75~77多加解釋說明。

申請編號 T18-115B-A0031

專題名稱 基於PT對稱概念之可調寬頻振盪器

晶片形式 Package:40 S/B:8Pcs + DieSort:10EA

評比: C

是否開放修改Layout: N

建議/修改

- 1.基於甚麼條件選擇電路中的L、C、電晶體。
- 2.模擬是否加入bond-wire model。
- 3.如何調頻率, 宜說明。
- 4.宜模擬不同corner情況。
- 5.宜繪量測架構圖。

6. on chip電感多大? Q?

7.對於Analog電路而言，Design corner simulation相當重要，建議做好完整的PVT變異驗證，以更能確保電路的成功率。

8.如何驗證PT對稱振盪器與PUF融合以及如何萃取高熵值硬體特徵？

申請編號 T18-115B-A0032a

專題名稱 結合單像素環形震盪電容感測與可程式化介電泳電極陣列之微型化細胞操控生醫晶片
晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

- 1.前案成果整合及再精進。
- 2.定性描述上具顯著差異，惜效能比較表較看不出其優勢。
- 3.前案文獻發表宜略去作者資訊，僅留下論文名稱及期刊、會議資訊。
- 4.缺乏部分子電路之PVT variation模擬結果，此外，亦缺乏系統層級的pre-sim與post-sim比對分析。
- 5.模擬結果顯示感測電容從1 fF變化至3 fF時頻率偏移約3-4%，但報告並未說明實際IPSC細胞或PS Particle附著於電極上所產生的電容變化量級，也沒有對訊雜比或最小可偵測電容進行量化分析，難以判斷目前的感測靈敏度是否足以區分有細胞與無細胞的狀態。
6. DEP所施加的高頻交流電場與電容感測的環形振盪器訊號之間是否存在耦合干擾、共模雜訊或電源擾動等問題？

申請編號 T18-115B-A0033

專題名稱 4.8GHz使用變壓器之低電壓雙諧振隱式共模共振壓控振盪器
晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. KVCO非線性函數在未來應用上會不會有困難？
- 2.為什麼採用 implicit common-mode resonance，而不是傳統 class-F 或 tail filter 架構？
- 3.為什麼 secondary coil 的 Q 值只有2.827？是否會影響整體效能？
- 4.為什麼 SS corner 下 output power 明顯下降？是否代表 startup margin 不足？
- 5.如何確保 common-mode resonance 不影響 differential-mode resonance？
- 6.是否有做 current density 或 return current 的 EM 模擬？
- 7.結果應與T18 114D-A0025比較,以證明重新改版之優越性。

申請編號 T18-115B-A0034a

專題名稱 基於慣性測量元件之肩關節動作檢測數位電路設計

晶片形式 Package:24 S/B:8Pcs + DieSort:10EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. Not clear on how to validate the chip' function with the system integration.
2. 報告完整。

申請編號 T18-115B-A0035a

專題名稱 即時步態辨識及側向敏捷性步態參數分析電路設計

晶片形式 Package:24 S/B:8Pcs + DieSort:10EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. Fig 5& 6 are lost in the report
2. How to evaluate the system functions?
3. 實用性高、測試規劃完整。

申請編號 T18-115B-A0036a

專題名稱 UPDRS動作識別及功能評估與帕金森氏症初篩之晶片設計與實作

晶片形式 Package:24 S/B:8Pcs + DieSort:10EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. How to evaluate the proposed design fit the biomedical physical requirements ?
2. 圖30、31不清楚。
3. 宜對效能比較表多做說明。

申請編號 T18-115B-A0037m

專題名稱 高品質因子壓電式共振器與快速起振低相位雜訊交叉耦合電路整合

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. 請補充說明本申請案與前次編號T18-115A-A0021下線製作的高品質因子壓電式共振器，其性能有何提升？
2. 請說明振盪器的共振頻率10.9 MHz，如何計算獲得？
3. 請說明振盪器的Q-factor=67390，如何計算獲得？
4. 請舉一實例說明共振頻率2.3 GHz的振盪器有何用途？
5. 本晶片為純電路晶片，後期將與MEMS元件進行整合，是否有相關整合方式或量測規畫？
6. 模擬上，圖三十四所呈現之模擬結果如何看出快速起振電路的規格已達到設計的規格？
7. 圖三十五顯示之共振峰與圖十八之網絡分析儀結果比較，是否已達設計目標？若如7. F.所

述，與resonator的頻寬有無Mismatch?或是規格已達到不影響的程度?

8. 功耗與相位雜訊為trade-off的關係，性能比較表上也可看出降低雜訊後功耗較大，若以文獻上或未來預期使用的共振器進行計算，功耗提升的比例是否在容許範圍內?或未來進行電路整合設計時，也可納入設計規格一併進行衡量。
 9. 晶片布局上，中間似乎有大面積的dummy區?原因為何?
 10. 說明此振盪器規格相較於已出版文獻之優勢。
 11. 模擬時是否有加上適當的寄生電容來確認起振條件不受影響?
 12. Cross-Coupled 核心 post-sim 因 memory/runtime 限制僅完成 C0=20p (TT) 與 C0=5p (TT/SS/FF)，5 corner 並未完整，亦無 temperature sweep 與 PSRR / supply-pushing 分析。請問是否規劃補做?
 13. 本次下線 Fast Start-up 子系統採獨立測試 (未與 Cross-Coupled 整合)，僅能驗證 injection
-