

TN90GUTM-115A審查結果報告

公告時間： 115 年 08 月 03 日

注意事項：

1. 在申請者回覆審查委員建議期間內，不再另行通知或催繳等動作；若未能即時上傳資料者，將取消下線資格，請務必確實掌握回覆時間
2. 設計者之修改資料或補交資料，於**115.08.07(五) 中午12:00前**上傳至審查意見回覆系統（操作步驟：TSRI網頁→晶片製作→下線申請→下線申請總表→審查意見回覆上傳），若有相關問題可聯絡下列人員：
 - a. 使用 full-custom：
陳怡華小姐(Email:eva@narlabs.org.tw;TEL:03-5773693 ext.7131)。
 - b. 使用cell library：
陳獻文先生(Email:swchen@narlabs.org.tw;TEL:03-5773693 ext.7159)。

說明事項：

1. 此報告包括**參加審查會議及書面審**之審查結果報告。
2. 申請編號中，序號英文字母代表：A:10%部分負擔，E:教育性晶片，I:優良晶片，N:新進教師晶片。序號之尾端字母代表：a:使用Cell-based Design Kit，m:使用Multi-option-MEMS(TSRI MEMS後製程)，M:整合晶片。
3. 下線之優先順序按口頭報告/書面審查評分標準：A-極推薦，B-推薦，C-勉予推薦，遇相同評比時，則以指導教授之加總積點較高者優先下線。無論評定為何種等級(A, B, C, D)，務必均須照所有委員之評審意見(含修改/建議)作回覆(修改或說明)。
4. 凡是委員有要求修改Layout的申請者必須重新跑過Calibre DRC(**P15:Assura DRC**)；如繳交Layout後有DRC錯誤者即不予下線，若資料無法上傳，請務必來電與承辦人員聯繫及確認。
5. 請設計者確實核對所列包裝方式是否正確，以免日後造成無法封裝；若委員建議修改亦需變動打線圖時，**請務必重新上傳更新之打線圖**。(重要：若因變動打線圖而需更改申請包裝形式者，敬請務必與承辦人員進行確認，以避免日後晶片費用計算有問題因而影響您的權益。)
6. 請佈局需修改的申請案按照委員建議進行修改，否則將以回覆委員建議未完全而不予下線，**請注意!依規定，不可比原佈局增加長寬邊的長度，違者則不予採用已修改之佈局檔案**。
7. 安排晶片下線即依排序標準安排製作（同等級時依加總積點高者優先排序；等級評定為C之晶片，TSRI具彈性下線調整權），至該梯次面積用完為止，TSRI在送交製作前將公佈下線資料，未能安排製作之晶片，無論評定等級為何，不予保留至下梯次製作。

8. 此梯次的「審查結果報告」亦公佈於網路 (<https://www.tsri.org.tw>)之「資訊公開→最新公告」，下線晶片資料隨後公佈，歡迎查閱。

一、審查結果

申請編號 TN90GUTM-115A-A0001

專題名稱 雙模式吉伯特電路

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

1. LO to RF isolation不好，此為最重要的isolation特性(可試著將 LO to RF isolation的 post-sim結果提高到20dB以上)，請補充說明，另外設計限制為何?
2. 沒有image rejection的模擬特性?

申請編號 TN90GUTM-115A-A0002a

專題名稱 具頻率合成器之低功耗通斷/頻率/相位鍵控發射機

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

1. 請模擬eye diagram，是否滿足系統規範要求?

申請編號 TN90GUTM-115A-A0003

專題名稱 應用於超導量子位元並具整合鎖相迴路、I/Q校正與直流偏移消除之 5-7GHz 升頻器

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

1. 請補充低溫模擬結果。
2. 請補充說明IF transconductor stage電路操作原理，用此架構達到什麼樣的伏勢。
3. 為何IRR隨著IF freq變大變好?
4. 補充升頻器之LO to RF、LO to IF、RF和IF的隔離度模擬結果。

申請編號 TN90GUTM-115A-A0004

專題名稱 應用於量子電腦之低雜訊次取樣鎖相迴路

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.本改版設計係調整部分子電路尺寸以優化電路表現，並評估bypass等影響晶片穩定度之布局。建議以前版量測結果，說明改版之必要。
- 2.典型SSPLL架構，創新性不高，但具實用性，申請書對設計流程與模擬皆完整說明。
- 3.補充RMS Jitter, Reference spur level suppression 規格。
- 4.為何本設計選擇採用 Sub-Sampling PLL，而非傳統 Charge-Pump PLL？其優勢為何？
5. Pulser 的 duty cycle 為何設計為 30%？是否比較過其他 duty cycle 對 phase noise、reference spur 與功耗的影響？
- 6.後模擬中 VCO output swing 由 0.88 V 降至 0.8 V，主要原因為何？是否會影響 PLL 效能？
- 7.文件前面設計輸出頻率為 12.8 GHz，但系統模擬結果顯示輸出為 6.4 GHz，請說明兩者的差異。
8. EM Simulation 完成後，與未進行 EM Simulation 相比，輸出頻率、Phase Noise 或功耗改變了多少？
9. Post-layout Simulation 與 Pre-layout Simulation 的 Phase Noise 差異約 2 dB，請問主要是哪些寄生效應造成的？
- 10.本設計是否有進行 PVT (Process、Voltage、Temperature) 分析？不同 Corner 下的性能變化如何？
- 11.設計報告中並未看到PVT的模擬結果，請補充。
- 12.應用於量子電腦，此電路需要操作在低溫下嗎？如需要建議模擬低溫環境下的電路特性。
13. Fig. 23.模擬結果，需加入對製程、電壓和溫度變異考量，以確保頻率調整連續性。
- 14.補充輸出功率對頻率模擬結果。
- 15.量測考量需具體說明將進行那些參數量測分析。

申請編號 TN90GUTM-115A-A0005

專題名稱 應用於極低溫量子電腦之次取樣鎖相迴路

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.本修正設計係為修改前版本TN90GUTM-114B-A0013下線頻率偏高的問題，其Phase Noise特性良好，亦可在4K時鎖定。架構、設計流程與模擬皆完整說明。
- 2.本修正版改以gate level PEX取代原transistor level PEX，以扣除重複計算的雜散電容，並以模擬佐證。惟Gate-level PEX係數位電路 (Digital Flow) 在使用的，只抽取 Gate 與 Gate 之間的連線 RC，忽略 Gate 內部的電晶體寄生參數，改用 Gate-level PEX，會丟失大量 MOSFET 內部的寄生電容，使模擬的總電容 Ctotal 變得更小，導致模擬頻率更高，無法反映真實物理狀況。建議仍以transistor level PEX檢視整體LC resonator layout 的EM simulations..
- 3.補充RMS Jitter, Reference spur level suppression 規格。
- 4.為什麼選擇 Sub-Sampling PLL，而不是傳統 CPPLL 或 Fractional-N PLL？

- 5.迴路沒有 Divider，真的可以降低相位雜訊嗎？原因是什麼？
6. SSPD 的線性範圍只有 $\pm\pi/2$ ，如果初始相位誤差超過此範圍，PLL 如何保證能鎖定？
- 7.為什麼 Pulser 的 Duty Cycle 必須小於 50%？如果大於 50%，會發生什麼問題？
8. VCO 採用 Noise Circulating 架構，而不是一般 Cross-Coupled LC VCO，有哪些優勢？
- 9.提出利用 Transformer 同時完成 Differential Mode 共振及 Common Mode 二倍頻共振，相較於使用兩顆電感，有哪些優缺點？
10. Loop Bandwidth 為 1.8 MHz，為什麼選這個值？如果增加或降低會發生什麼事情？
- 11.設計報告中並未看到PVT的模擬結果，請補充。
- 12.應用於量子電腦，此電路需要操作在低溫下嗎？如需要建議模擬低溫環境下的電路特性。
- 13.需補充電路對溫度變異模擬結果，如低溫(<200度)。
- 14.補充電感全波電磁模擬結果，須包含電感量和品質因素對頻率模擬結果。
- 15.補充鎖相迴路輸出功率對頻率模擬結果。
- 16.文獻比較表需加入進三年次取樣鎖相迴路發表論文結果，並加入晶片面積、抖動和操作溫度完善比較分析。

申請編號 TN90GUTM-115A-A0006

專題名稱 免校正偽差動雜訊整形逐次逼近類比數位轉換器結合前端直流消除之ISFET讀出系統
晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. 需注意實際電流輸入下，如何量測不同頻率的 SNDR。
2. 整體電路架構完整，唯應與其他類似文獻做比較，在高速工作效能則未較佳。
3. Design Corners 宜將電壓變異列入考慮。
4. 供應電壓須標示交代清楚 3.3V / 1.2V / 1V / 0.5V。
5. 需考慮電壓變異性。
6. 輸出 PAD 須注意靜電保護。

申請編號 TN90GUTM-115A-A0007

專題名稱 用於先進熱式微測輻射計陣列的低雜訊前端讀出積體電路及類比數位轉換器
晶片形式 Package:N/A + DieSort:18EA

評比: **C**

是否開放修改Layout: **N**

建議/修改

1. 規格不清。
2. 有耐壓問題，3.3V 會灌入 1.1V 線路。
3. 量測電路與實際應用有落差。
4. 電路架構描述不夠清楚，系統文獻比較基準性亦不夠完整。
5. Design Corners 應該也加入電壓變異。

6. FF + 125C 與 SS + (-40C) corners 有什麼特別考量，宜說明清楚。
7. BDI & CTIA 的 OP 增益須標示清楚。
8. VDD 供應電壓對電路值須標示清楚 3.3V / 2.2V / 1.1V。

申請編號 TN90GUTM-115A-A0008

專題名稱 低功耗三頻並行相控陣列接收機

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. 三頻並行接收機架構具特色，建議補充與傳統多頻段接收機之功耗及面積優勢比較。
2. 建議進一步說明關鍵被動元件之寄生效應對整體性能的影響。
3. 建議補充相控陣列應用下之相位誤差與增益誤差容忍度分析。
4. 對LEO的應用，NF較大，是否滿足系統鏈結參數的需求？又如何改善NF？
5. rms gain error較大，請說明哪個電路限制了其特性？
6. 請模擬RF input return loss。
7. 請模擬CG vs. LO power，需要多少LO driver power？
8. 是否有考慮image signal rejection？
9. 沒有pre-sim與post-sim 之比較。
10. 沒有顯示三個corner simulation 結果。
11. 效能比較表顯示另外做了一個16 nm 的版本，但沒有任何證據。
12. 製程與溫度變異模擬結果內容過於簡略，應述明TT, FF, SS與各特定溫度等不同條件下之各效能參數。
13. 請補電源／控制電壓變異下之模擬結果。

申請編號 TN90GUTM-115A-A0010

專題名稱 應用於低軌衛星之雙頻段發射機設計

晶片形式 Package:N/A + DieSort:18EA

評比: **C**

是否開放修改Layout: **N**

建議/修改

1. The dual-band transmitter architecture is practical; the advantages of CMOS-GaN co-design over a single-technology solution should be further clarified.
2. Please provide an analysis of the expected driving capability for the cascaded GaN PA stage and the overall system-level power budget (power link budget).
3. 專題名稱為雙頻段發射機設計，但是實際上只有設計一個driver amplifier。
4. 此driver amplifier 是很typical的differential PA設計，創新性較低。
5. 整體DA的增益與效率比起已發表CMOS PA文獻，並沒有較為突出。
6. 在8GHz與14GHz兩個頻段S21特性差很多。
7. 缺少線性度IP3, IMD3等特性的模擬資訊。
8. 沒有pre-sim與post-sim 之比較。
9. 沒有顯示三個corner simulation 結果。

- 10.效能比較表顯示另外做了一個GaN PA 的版本，但沒有任何證據。
- 11.本案與A0008相關聯，前者為接收器，本案為發射器。
- 12.與A0008相同，製程與溫度變異模擬結果內容過於簡略，請詳列之。
- 13.請補電源／控制電壓變異下之模擬結果。
- 14.請補IP3模擬結果。

申請編號 TN90GUTM-115A-A0011

專題名稱 CMOS電氣平衡雙工之前端電路設計

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.已考慮Layout symmetry、Antenna port與ZBAL對isolation的影響。可受限於isolation基本受Antenna port isolation的影響，實作上可達成的isolation僅為Antenna return loss + 6dB，典型模型為20-25 dB。
- 2.補充Antenna port的return loss。
- 3.文獻比較表需加入晶片面積比較。
- 4.需補充線性度模擬結果。
- 5.需考慮製程變異。
- 6.當PA輸出狀況不同時，EBD能配合提供之匹配狀況如何？

申請編號 TN90GUTM-115A-A0013

專題名稱 採用混合組態以提升線性度的全積體化CMOS功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.EVM實際使用時工程規範要求為何？
- 2.補充功率放大器S參數模擬結果。
- 3.補充IP3對頻率模擬結果。
- 4.採用雙絞線可形成較佳的 balanced line 特性，宜留意在 Crossover 造成的等效電阻增高與電流承受能力。
- 5.注意CD PA大功率輸出時所承受的 Voltage Stress 的問題。

申請編號 TN90GUTM-115A-A0014

專題名稱 90nm CMOS製程整合片上弛張振盪器之鎖相迴路頻率合成器

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

- 1.申請書中振盪器與震盪器有兩種寫法，請全部修正成振盪器。
- 2.使用弛張振盪器做為PLL輸入源，應考慮溫度、電源電壓變化和振盪器使用時間長短(例如一天或一年)對弛張振盪器的頻率穩定度之影響。
3. Page 24: 申請書提到 “...無論是Pre-sim或Post-sim量測，其頻率隨溫度的總變化幅度皆小於1%。這主要是歸功於弛張振盪器本身良好的抗溫度變異能力”，但弛張振盪器並未有溫度補償電路？
- 4.雖然已考慮PLL輸出頻率精確度的影響，但實務上，PLL能使用弛張振盪器做為輸入源，其PLL輸出頻率精確度應該很不精確。
- 5.缺乏jitter的量測波形？此外，需補充說明settling time與提供模擬結果。
6. VCO的phase noise 需要說明與模擬。
- 7.表9-3-6-1應該提供模擬結果，並說明為何加入寄生電感性能會變差？
- 8.這個設計是改良之前的下線版本，作者認為雜訊不好是因為relaxation oscillator 及接地線。個人認為這個推測是不對的，再則，輸入只會影響低頻的雜訊，但量測上高頻的相位雜訊有明顯的變差，所以這並無法解釋作者的推論。
- 9.模擬的抖動量非常的低，請問作者有把接地的這些不理想考慮進去嗎？
- 10.上一版PLL採用內建的震盪器的jitter為540.7 ps. 使用外部信號產生器的輸出訊號當作reference frequency, 結果PLL的jitter降為6.8 ps. 這版重新下線應模擬內建弛張振盪器的phase noise及jitter並模擬PLL + 弛張振盪器的phase noise及jitter, 以找出PLL + 弛張振盪器jitter大的原因。

申請編號 TN90GUTM-115A-A0015

專題名稱 三階雜訊整形循環漸近式類比數位轉換器

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.中文專題名稱：-Order Noise Shaping SAR ADC？
- 2.針對前一版晶片量測結果不如預期，已經大幅驗證問題與具體修改
3. Page 28 [14] 預計規格列表中 FoMs (db) FoMs (dB), 99.99 99.99u
- 4.電容大小與雜訊及mismatch相關，為何取1.5fF/um之電容進行設計需再補充說明。
- 5.前一版採用Sampling Noise Cancellation (SNC)技術提高性能，不過量測結果並未顯示優勢，此部分需要再補充說明，以確認本次下線拿掉SNC技術的合理性。
6. Fig.9-4 輸入229.49kHz並不正確，因為三次諧波已經落在頻寬之外，需要降低輸入訊號頻率，以了解三次諧波量。
- 7.此設計是改善前人的作品，同樣的有一些推論去解釋前人的晶片特性無法發揮的原因，不過作者的推論有很多的瑕疵，例如用moscap來做bypass的電容，的確會漏電，這個一定模擬的出來，所以很顯然的作者並沒有把設計做好。其他的推論也可以用模擬驗證，請再確認。
- 8.模擬設定看起來沒有大問題，但好特性的電路需要面面俱到。
- 9.上一版的ENOB的量測值比模擬的少4 bits, 應找出原因，並將認為的原因丟到電路中做模擬，和量測的結果做比較，這樣才能確認找出的原因是否正確，然後根據確認的原因做修改再模擬是否符合規格。

申請編號 TN90GUTM-115A-A0016

專題名稱 採用堆疊共源極 FET 及電流共用同中心渦旋變壓器的 CMOS PA

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: Y

建議/修改

1. 請模擬common mode穩定度，確認抗common mode震盪的電阻需要多大？
2. stacked CS請確認，電晶體每個DGS間電壓擺幅，避免breakdown。
3. stability模擬結果是否有與上次量測結果符合？沒有的話，是否沒找到根本原因？
4. 功率放大器的最佳負載阻抗為多少？請分析功率放大器的負載牽引(load pull)。

申請編號 TN90GUTM-115A-A0017

專題名稱 全差動負載調變平衡式功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

- 1.補充大信號增益與頻寬模擬。
- 2.補充 Load modulation 時阻抗變化模擬。
- 3.補充功率放大器增益對頻率模擬結果。
- 4.補充P1dB、Psat、DE對頻率模擬結果。
- 5.效率變化隨phase shift安排的window如何？

申請編號 TN90GUTM-115A-A0018

專題名稱 Class-G電壓模式Doherty使用環繞耦合式串聯結合變壓器

晶片形式 Package:N/A + DieSort:18EA

評比: B

是否開放修改Layout: N

建議/修改

- 1.ESD的問題需留意
- 2.PA output端combining後phase是否達到optimal？
- 3.補充線性度模擬結果。
- 4.AM bit 控制位元是否有考量 ESD 保護？
- 5.變壓器品質因素較低，說明其原因。
- 6.請補充電源切換如何與 Input signal 同步？
- 7.補充 output return loss 模擬。

申請編號 TN90GUTM-115A-A0019

專題名稱 CMOS三路Doherty功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

- 1.補充 Main, Aux. 1與Aux. 2 的尺寸比或功率比為何?
- 2.此電路應該可以產生兩個 twin peaks, 請補充為何僅有單-Twin peak?
- 3.補充選擇三路設計考量及優勢。
- 4.補充大訊號驅動下, 穩定度模擬分析結果。

申請編號 TN90GUTM-115A-A0020

專題名稱 有著三階環型震盪器之電荷幫浦鎖相迴路

晶片形式 Package:N/A + DieSort:18EA

評比: **C**

是否開放修改Layout: **N**

建議/修改

- 1.申請書中振盪器與震盪器有兩種寫法, 請全部修正成振盪器。
- 2.沒有電路創新性。
3. Page 15效能比較表 Ref. Spur (dBc) -46.1, 很不佳。增加比較論文對象。
- 4.分析與模擬 RMS jitter。
- 5.算 PPL' s FOM 並比較。
- 6.缺乏PLL整體架構的說明與規格分析, 此外, 電路設計相當值觀且未有創意, 需要說明依照規格需求, 電路的選擇與設計方法。
- 7.PLL與VCO的模擬須提供phase noise或jitter的參數量, 以及settling time資訊, 以了解電路的性能。
- 8.本鎖相迴路只是製程的轉移, 設計上並無太大的創新。
- 9.模擬請提供細部的資料, 如相位雜訊。
- 10.此版本是將之前使用180 nm製程的PLL電路使用90 nm製程再實現一次相同的PLL以得到較好的效能。既然使用不同製程再做一次, 應該比較兩者的模擬結果差異並做探討。但是申請書並無此比較與探討。

申請編號 TN90GUTM-115A-A0021

專題名稱 使用汲極個別打線式切換變壓器之多路CMOS Doherty功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

- 1.補充 Input splitter power variation 分析。
- 2.量測考量需有完善文字說明與討論。
- 3.請補充Main PA、Peak1、Peak2'與Peak2的尺寸比。
- 4.Twisted pair line 需留意其電流載能力。

5.補充原設計之兩個 Twin peak 的 dB 與 OBO。

申請編號 TN90GUTM-115A-A0022

專題名稱 具雙電阻回授與雜訊抵銷之寬頻無電感CMOS低雜訊放大器

晶片形式 Package:N/A + DieSort:18EA

評比: **C**

是否開放修改Layout: **N**

建議/修改

- 1.補充w/wo Noise cancellation之Gain、Noise Figure、IIP3模擬分析比較
- 2.補充放大器電晶體尺寸設計考量。
- 3.模擬結果需有完整文字說明與討論。
- 4.補充IP2分析與模擬結果。

申請編號 TN90GUTM-115A-A0024

專題名稱 具交叉中和技術之差動疊接功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: **C**

是否開放修改Layout: **N**

建議/修改

- 1.採用交叉中和技術之差動疊接功率放大器具特色，請說明中和電容對穩定度與增益提升之貢獻。
- 2.請補充Co-layout 之功率電晶體其相較傳統 Cascode 佈局之效能改善分析。
- 3.建議補充與近期文獻之寬頻 CMOS PA 之 FOM，以凸顯電路優勢。
- 4.輸入可調整的穩定電阻，請說明如何透過短路調整電阻值？
- 5.請說明之前量測的輸入與輸出balun的損耗與效率等特性。
- 6.實驗室之前設計的1800um電晶體是否有做等校模型來支持這次設計？又此電晶體與TSMC所提供的標準layout電晶體特性是否有所提升？
- 7.請模擬線性度特性，如IP3。
- 8.沒有pre-sim與post-sim 之比較。
- 9.請從文獻比較表說明此電路之優點為何。
- 10.請補溫度及電源電壓變異下之模擬結果。
- 11.請補IP3模擬結果。
- 12.與PCB整合時之打線寄生效應，需先行模擬評估其影響。

申請編號 TN90GUTM-115A-A0025

專題名稱 使用高速真實分數型除頻器之頻率合成器

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

- 1.申請書中振盪器與震盪器有兩種寫法，請全部修正成振盪器
- 2.提出閘極控制的製程補償電路Gate-controlled Process Compensator (GPC)，請補充實驗上如何驗證 GPC的攻效
- 3.圖 10. (c) 可發現似乎犧牲 VCO tuning range?
- 4.模擬結果僅提供圖形，並未進行說明，報告相當粗糙，此部分需要詳細補充說明。
- 5.模擬的條件需補充說明是否加入PAD與Wire bonding效應。
- 6.補充說明電路反應時間(Settling time)，以及模擬跳頻時的性能。
- 7.多表達本作品FOM之優勢。
- 8.本作品是一個具點5除數之頻率合成器，是一個新的嘗試，但作者沒有把這種分數除數所帶來的好處呈現出來，例如相位雜訊。
- 9.而利用正負源所產生的.5除數，在duty cycle 非50%所造成的問題並沒有透過模擬呈現出來。
- 10.差動的charge pump 應該共模點的雜訊，對整體的phase noise 特性有不好之影響。
- 11.圖9的wide swing cascode current 的cascode transistor的gate接到地不是最佳做法。

申請編號 TN90GUTM-115A-A0026

專題名稱 使用時間數位碼轉換器於自主校正之全整合鎖相迴路

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

- 1.申請書中振盪器與震盪器有兩種寫法，請全部修正成振盪器。
- 2.提出閘極控制的製程補償電路Gate-controlled Process Compensator (GPC)，請補充實驗上如何驗證 GPC的攻效。
3. Page 11 TDC用於自主校正的說明不清楚，請補充說明並用模擬結果證實自主校正?
- 4.只有時間軸的模擬結果，需要再補充頻譜分析，了解phase noise與spur的影響。
- 5.專題主題為應用於自主校正之全整合鎖相迴路，需補充說明與模擬校正前後的性能，以凸顯專題的優勢。
- 6.圖12 為控制開關控制器有誤，應該是圖20才對。
- 7.本作品跟編號25主題架構幾乎是一模一樣，頂多是加入時間至數位轉換器去調整vco的特性，這種方式太浪費硬體資源，其實可以利用除法器的輸出及輸入信號的相對關係也可以達到類似的功能，硬體的損耗大大降低。可以的話，就加到編號25一起下線就好，本作品的單獨下線價值性不高。
- 8.前一版Power regulation 未盡完善，結果不如預期。量測結果應該量化。是什麼效能未盡完善?量測規格是多少?然後找出原因並將原因帶入電路中做模擬，比較模擬結果和量測結果。也就是要對電路做診斷，然後改善。如果沒做診斷與驗證就重新下線，可能結果還是一樣。

申請編號 TN90GUTM-115A-A0028

專題名稱 具交叉耦合中和技術與堆疊變壓器匹配網絡之寬頻功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

1. TF 匹配如何做到寬頻設計，請說明設計方式。
2. input return loss不是寬頻設計，請說明設計限制。
3. S21很差，只有3dB，要怎麼改善？
4. 直流偏壓電流高達800多mA，建議提高溫度變異(例如125° C)的模擬結果。

申請編號 TN90GUTM-115A-A0029

專題名稱 以低功耗次採樣鎖相迴路為基底應用於8GHz之連續型相位調整器

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

- 1.以 SSPLL 為基礎實現連續型相位調整器具創新性，請說明相較傳統 Vector-Sum 與 PPF 架構之系統整合優勢。
- 2.請提供增加相位切換速度與收斂時間之比較，以凸顯設計優勢。
- 3.請說明 VIN 與輸出相位偏移之對應關係。
- 4.此申請案為修改設計者過去已經完成之設計，請說明做了那些修正，能讓reference Spur level降低。
- 5.前一版量測的PN at 1 MHz有-89.7dB，特性較差，此次post-sim可以達-112.1 dB，請問做了那些修正來改善PN？又是否只是模擬與量測不準之間的差異？
- 6.沒有顯示三個corner simulation 結果。
- 7.沒有pre-sim與post-sim 之比較。
- 8.請從文獻比較表說明此電路之優點為何。
- 9.本案具創新性與實用性，透過模擬驗證了設計中800MHz與100MHz參考頻率跳換的機制，請進一步將製程／溫度／電源電壓變動因素加入後，是否依然成功運作。

申請編號 TN90GUTM-115A-A0030

專題名稱 使用動態迴路頻寬調變之低參考頻率全整合鎖相迴路

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

- 1.用動態迴路頻寬調變的部分說明不清楚，請補充說明並用模擬結果證實動態迴路頻寬調變？
- 2.電路創新性較弱。
3. [13] 效能比較表 FOM1=-230.5, 不是很好。
- 4.震盪器名詞錯誤，須改為振盪器。
- 5.模擬結果之Spur相當高，請補充說明原因，此外，是否可以滿足系統規格需求。
- 6.此設計電路的創意與貢獻並明顯，可再補充說明。

- 7.模擬結果只有圖形，應針對結果進行說明，此外，是否有包含PAD或wire bonding的影響。
- 8.多表達本作品FOM之優勢。
- 9.本鎖相迴路提出動態頻寬的概念，作者認為鎖定的時候透過電容放大要把頻寬縮小，如此可以達到快速鎖定及低輸出雜訊。用了一些電路技巧，但這種想法是錯誤的，頻寬變小之後，震盪器的相位雜訊完全暴露，反而很不好。
- 10.用了這麼多的類比電路說產生額外的雜訊，應該只會把電路特性弄得更糟。
- 11.將大KVCO 分成多個小KVCO 形成的子頻帶(Sub-band)需要對不同溫度做模擬。

申請編號 TN90GUTM-115A-A0032

專題名稱 基於複合式左右手傳輸線之 60GHz CMOS 收發開關

晶片形式 Package:N/A + DieSort:18EA

評比: C

是否開放修改Layout: N

建議/修改

- 1.本專題所設計之單刀雙擲開關為典型之series-shunt topology，配合並聯LC諧振抑制截止電容、負偏壓增強開關隔離度、以及複合式左右手傳輸線等技術，架構完整，具實用性。
- 2.並聯LC諧振除增加isolation外，可提供source-drain等電位操作，另外，負偏壓可提供power handling，本設計P1dB僅8.8 dBm仍偏低，建議可加以探討可達到最大P1dB的負偏壓值。Insertion loss仍略高，可再改善。
- 3.Switch 的線性度以P0.1dB、IP2、與IIP3表示，建議補充上述模擬。
- 4.電路中採用了多個 Switch MOS與並聯 LC 諧振技術來抑制 COFF，請問主路徑與輔助路徑上 MOS 電晶體的寬長比 (W/L) 分別是如何選擇的？
- 5.第 7-3 節展示了負偏壓對 Insertion Loss 與 Isolation 的影響，如VB = -2V時 Insertion Loss 最佳但 Isolation 最差，最後整體電路偏壓選定為 VB = -1.2 V的依據是什麼？
- 6.在圖 7 的整體電路中，所有的 Gate 端與 Body 端均接有大電阻 RG 與 RB，請問這些偏壓電阻的阻值選定為多少？依據是什麼？
- 7.Pre-sim 到 Post-sim 的 Insertion Loss 從 1.69 dB 惡化到 3.43 dB，這顯示 Layout 產生的寄生電阻與微帶線損耗非常大，建議進行各段微帶線與被動元件的損耗分解分析。
- 8.觀察第 9-2 節的溫度變異表格，從 0C、25C 到 85C，Return Loss、Insertion Loss、Isolation 與 P1dB 的數據完全一模一樣（如 Rx mode 的 Insertion Loss 皆為 2.885 – 3.436 dB），溫度升高應該會導致 RON 增加進而加大 loss。請檢查 ADS 模擬設定中是否未正確將溫度參數帶入 MOS 模型？
- 9.在文獻比較表中，此設計的 Insertion Loss 為小於3.436dB，相較於其他採用相同或相近製程的文獻明顯偏高。請問損耗過大的主要主因是什麼？
- 10.作為前端電路，建議補充in-band IIP3和out-off band IIP3模擬結果。
- 11.架構簡介部分需補充說明電晶體尺寸設計考量依據，需搭配適當模擬結果輔助說明。
- 12.模擬結果需有完善文字說明，請確實重新撰寫。
- 13.需補充隔離度對輸入功率變化模擬結果與說明。

- 14.補充輸入P1dB對頻率模擬結果與說明。
- 15.量測考量需說明相關測試頻率範圍和校準方法。
- 16.效能比較表需加入P1dB操作下驅動功率之隔離度結果完善比較分析，此外，需加入近三年CMOS切換器發表論文結果。

申請編號 TN90GUTM-115A-A0033

專題名稱 應用於無線傳能系統之具PWM數位控制的5.75 GHz 1°相位解析度主動式移相器設計與實現

晶片形式 Package:68 CQFJ:8Pcs + DieSort:10EA

評比: **C**

是否開放修改Layout: **N**

建議/修改

1. 線路與模擬不完整。
2. 欠缺 PVT 變異模擬。
3. 表達說明對類比電路並未清楚，量測亦未完整。
4. 相位解析度對無線傳輸的影響宜多加說明。
5. 報告資料不完整。
6. 增益標示不清，資料不完整。
7. 輸出標示不明。

申請編號 TN90GUTM-115A-A0034

專題名稱 應用於低軌道衛星通訊射頻接收端Ku頻段之數位控制向量 合成相移器與低雜訊放大器

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. LNA一開始NF模擬結果為2dB，但最後為4dB，請說明為甚麼損失2dB。
2. 請說明選擇VSPS各級電晶體尺寸？
3. Show wider bandwidth simulation result, like stability or S21/S11/S22。
4. 補充LNA穩定度、頻率響應、模擬結果。

申請編號 TN90GUTM-115A-A0038

專題名稱 具供應追蹤偏壓與尾端注入雙補償之高電源抑制快速響應低壓差線性穩壓器

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

1. Page 32, [15]效能比較，申請書已經和現有文獻比較和討論，但似乎結論是 trade off，沒有特別。

- 2.請再強調此設計的電路創新性與其預期想解決的問題，和現有文獻的不同點或優勢。
- 3.專題提出三個主要貢獻：第一，提出 Supply-Tracking Wide-Swing Cascode Bias Generator、第二，提出**RZ-CC** 與 **CTail** 組成之 tail-injected dual compensation、第三，結合 FVF Power Regulation Core、Transient Detection and Gate Assist Circuit 與 Output Assist Network，使 LDO 在低壓差條件下仍能兼顧 undershoot、PSRR、line regulation 與 load regulation。具有創意與學術價值。
- 4.報告書完整，模擬規格皆有達成，值得鼓勵下線驗證。
- 5.效能比較上有分析本作品之優勢，令人期待量測結果。
- 6.此LDO設計完整度高，有詳細的分析，也有新型電路的加入，特性不錯。
- 7.但作者完全沒考慮到量測，因為設計的輸出負載只有1.9pF，基本上大部分探針的輸入負載都大於此量。
- 8.電路layout area不大且pad number也不多，晶片layout有很大區域是空白的。晶片面積應該縮小。
- 9.圖5的輸出VB應該是輸出current，但是連接到圖6的M13 gate有誤。

申請編號 TN90GUTM-115A-A0039

專題名稱 具有回退效率提升的毫米波功率放大器

晶片形式 Package:N/A + DieSort:18EA

評比: **B**

是否開放修改Layout: **N**

建議/修改

- 1.報告書中沒有Adaptive bias電路圖，請補充說明Adaptive bias操作原理。
 - 2.三路power divider需135,63,0精準相位，若有相位差特性差多少。
 - 3.是否有線性度?看IM3, AM-AM, AM-PM?以OP, DM來說，gain要夠平，線性度要夠好。
 4. 請試著模擬功率放大器的EVM。
-