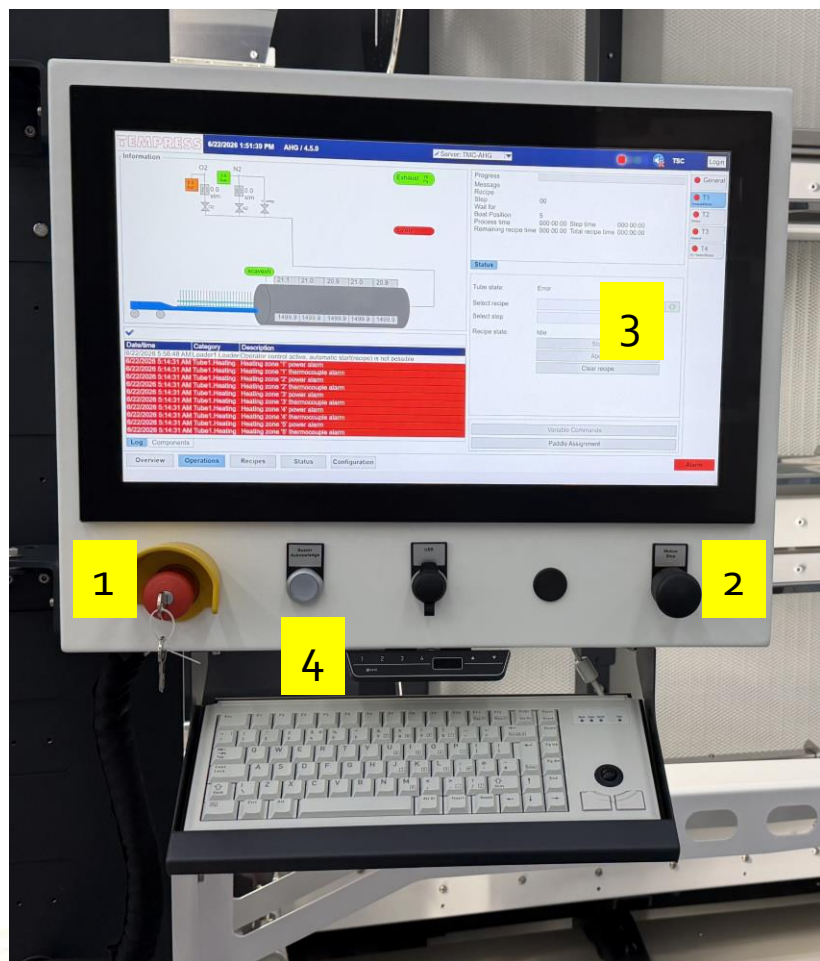


8吋高均勻性水平爐管_技術資料

TSRI水平爐管簡介-硬體簡介



- 1. EMO 緊急停止
- 2. 動作停止
- 3. 接觸螢幕
- 4. 警報靜音

一、廠牌/生產國：Tempress Systems B.V. / 荷蘭

二、型號：TS8604

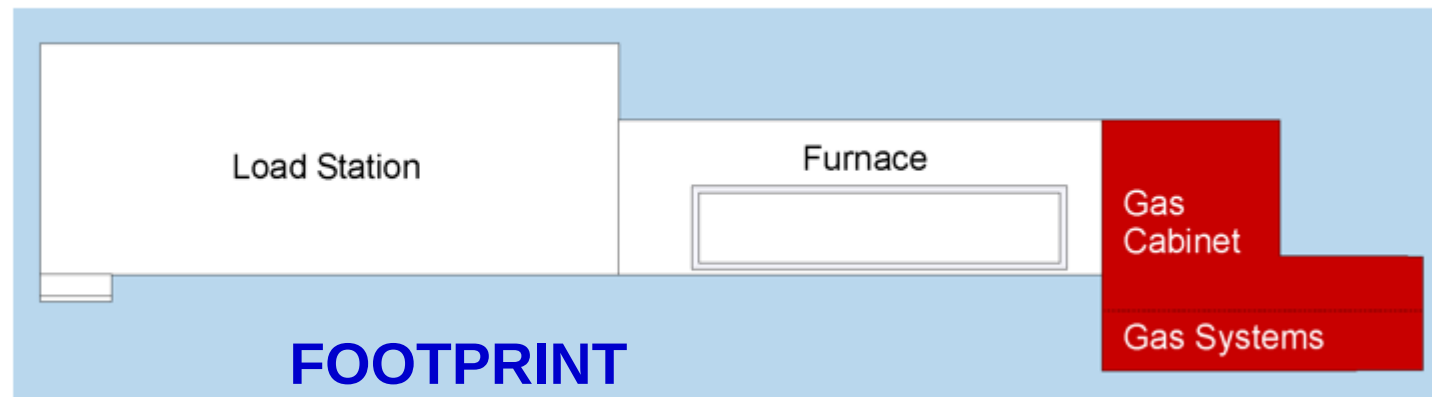
三、硬體：兩座高溫製程塔(低壓CVD/常壓擴散爐)



- 1. 爐管內加熱元件
- 2. 晶片載入路徑
- 3. 氣體櫃
- 4. 操作螢幕

TSRI水平爐管簡介-硬體簡介

L-Shape



鼓泡器 (Bubblers)
將 carrier gas 通過
液態 precursor ,
使其攜帶蒸氣進入
製程



設備機櫃採分區隔離設計，各層爐管配置排氣系統，Bubbler 設置於獨立機櫃區域；各元件具良好的維護可及性，並提供 Gas System、Bubbler、LPCVD Trap、External Torch、電子介面板及氣動閥等設備的配置空間。

TSRI水平爐管簡介-硬體簡介



**BACK MOUNTED GAS
SOURCE CABINET**
後置式氣源櫃



Large Capacity Cold Trap



**Water-cooled
stainless steel flanges**
LPCVD前置水冷式法蘭

TSRI水平爐管簡介-硬體簡介



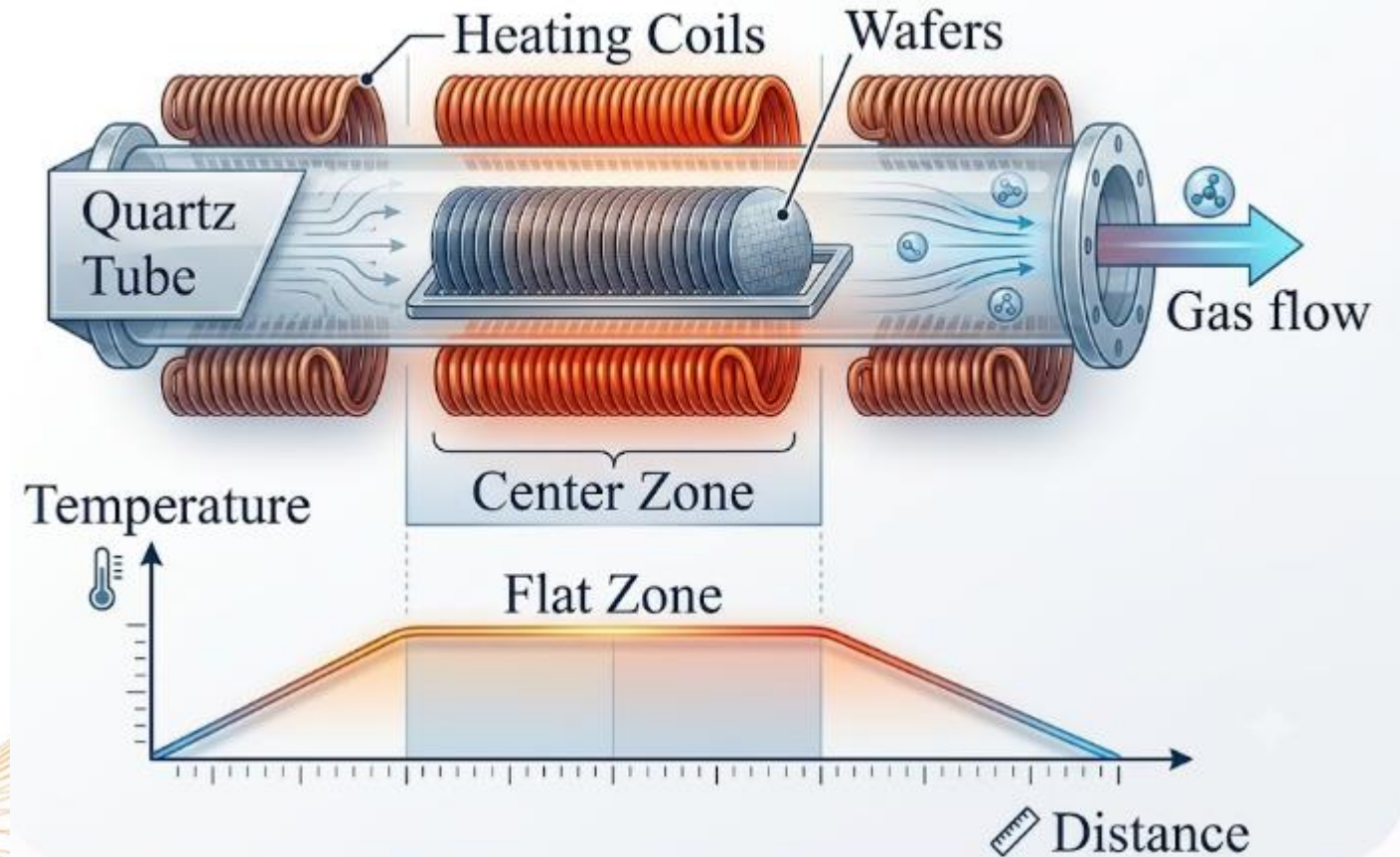
氫氧點火器:

- ✓ 高品質氧化層
- ✓ 使用純度達 99.999% 的高純度氣體
- ✓ 具寬範圍且靈活的水蒸氣控制能力
- ✓ 水蒸氣可於 20 秒內快速啟動 / 停止
- ✓ 外部 Torch (燃燒器) 產生的熱量不影響爐管恆溫區 (Flat Zone) 的溫度均勻性
- ✓ 可搭配 Trans-LC 系統，用於清洗及原位 (In-situ)

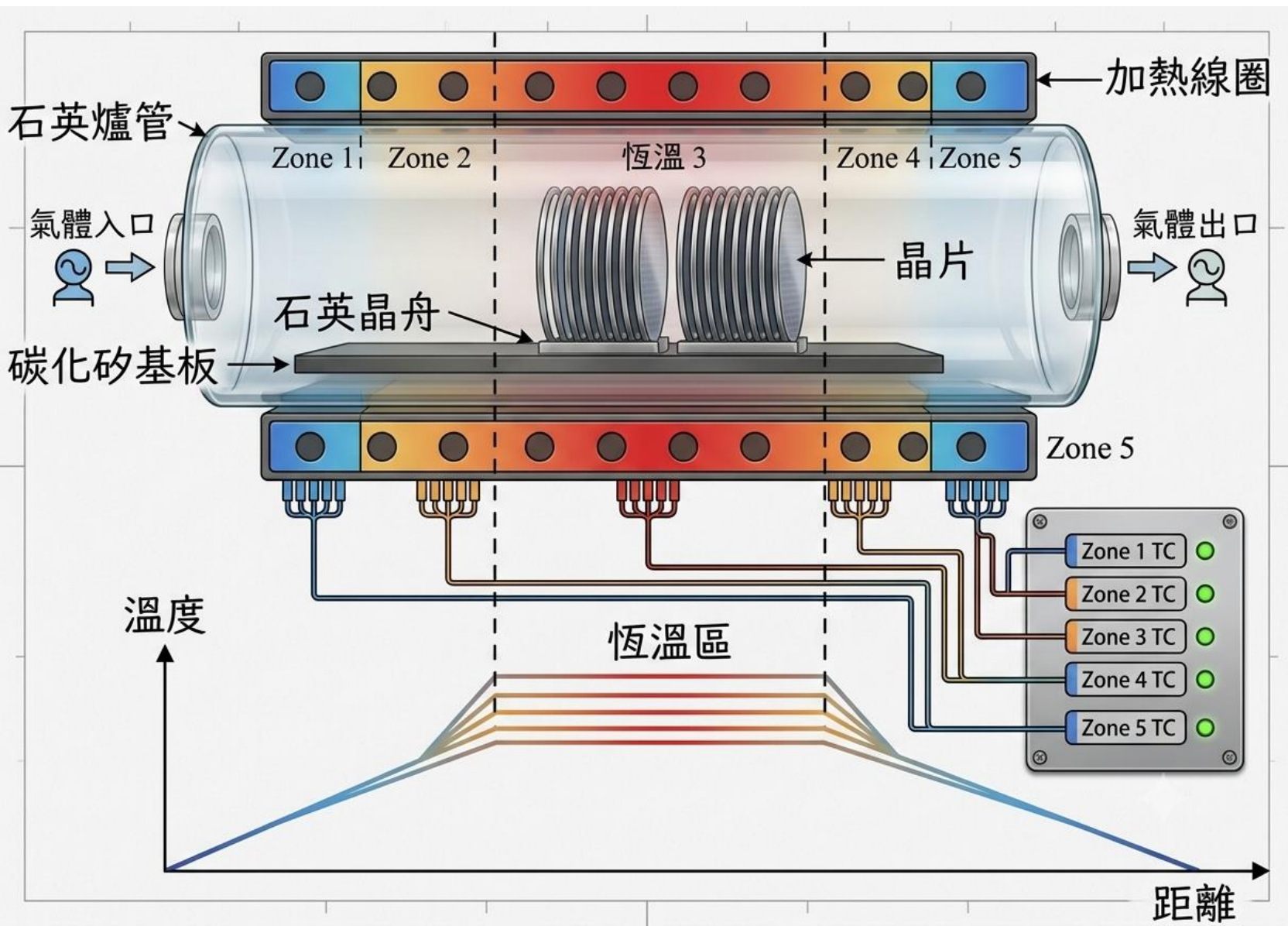
水平爐管機構介紹

- ✓ Horizontal Furnace is a key thermal processing tool, commonly known as a diffusion furnace. Uses a quartz tube housed inside a ceramic muffle. Built as a multi-tube system.
- ✓ Wafers must be loaded/unloaded slowly to prevent thermal stress and breakage.
- ✓ Horizontal furnace tube is equipped with three heating elements to enable even heat distribution and precise temperature control.
- ✓ Uniform Heating via Heating Elements
Heating coils surrounding the quartz tube provide consistent thermal energy across the process zone.

HORIZONTAL FURNACE DESIGN AND TEMPERATURE PROFILE

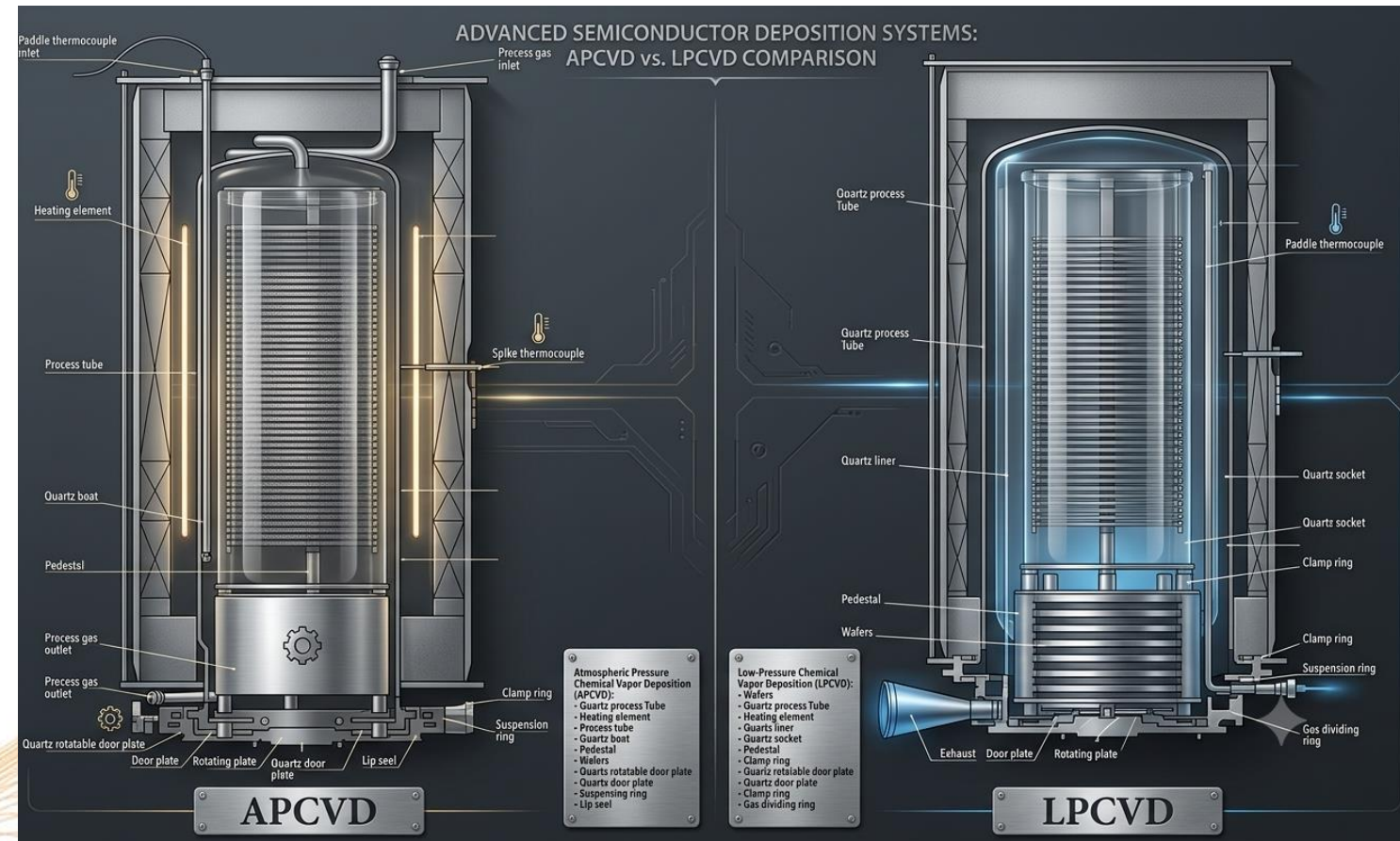
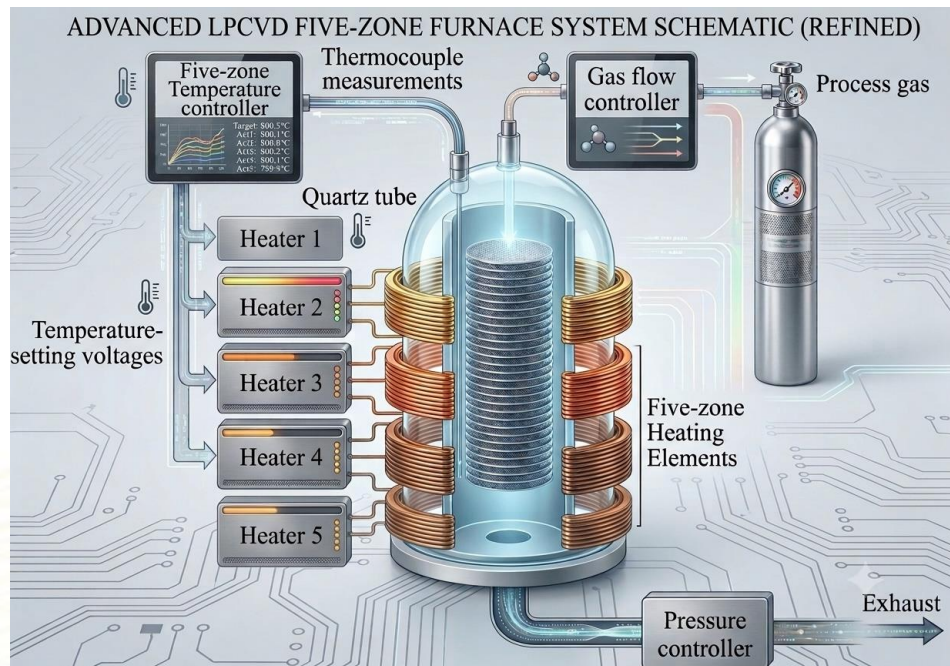


水平爐管機構介紹



垂直爐管機構介紹

A vertical furnace processes wafers in a vertical orientation, providing better automation, contamination control, and process uniformity than a horizontal furnace.

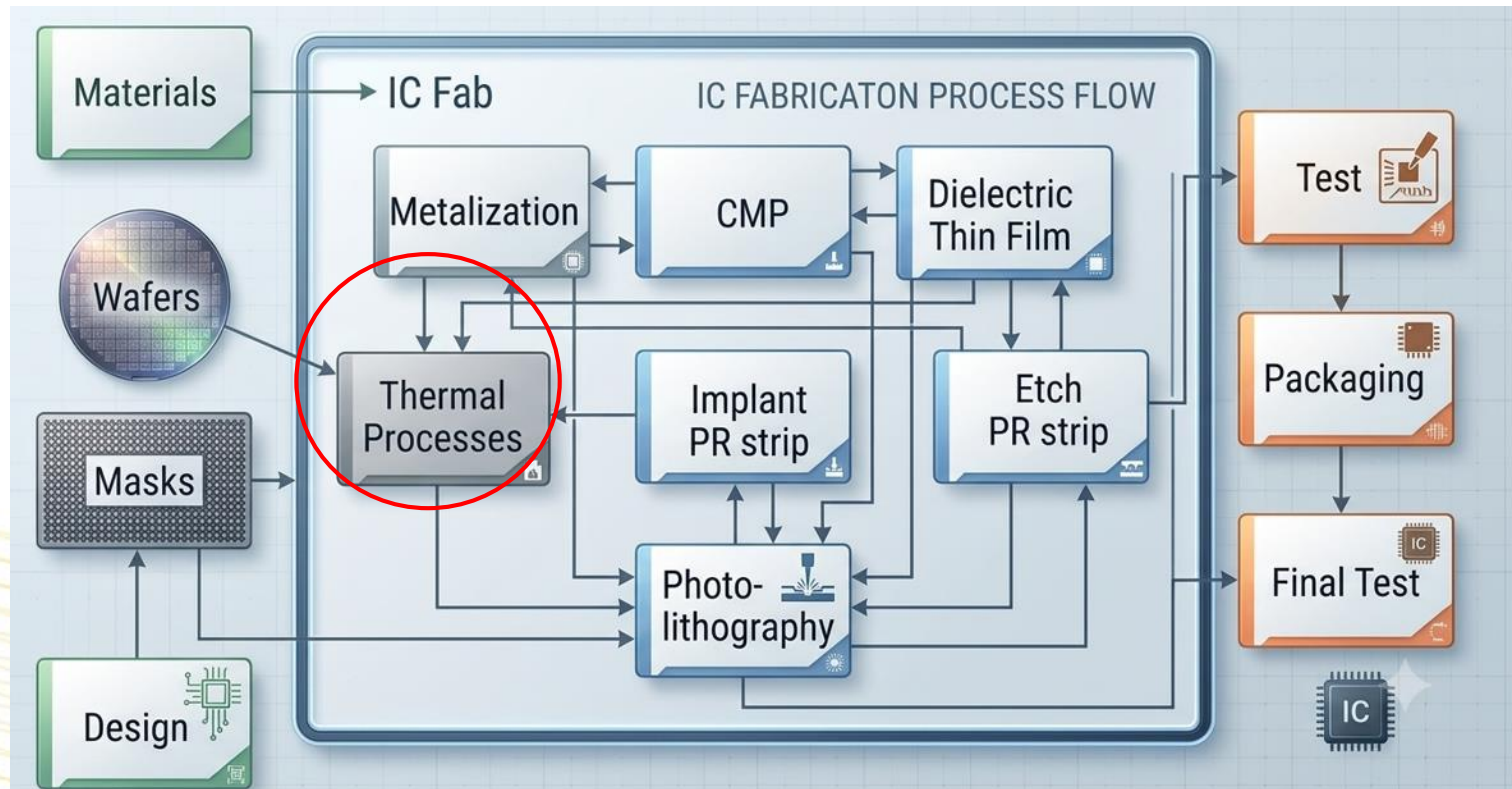


TSRI爐管簡介-製程範圍與用途

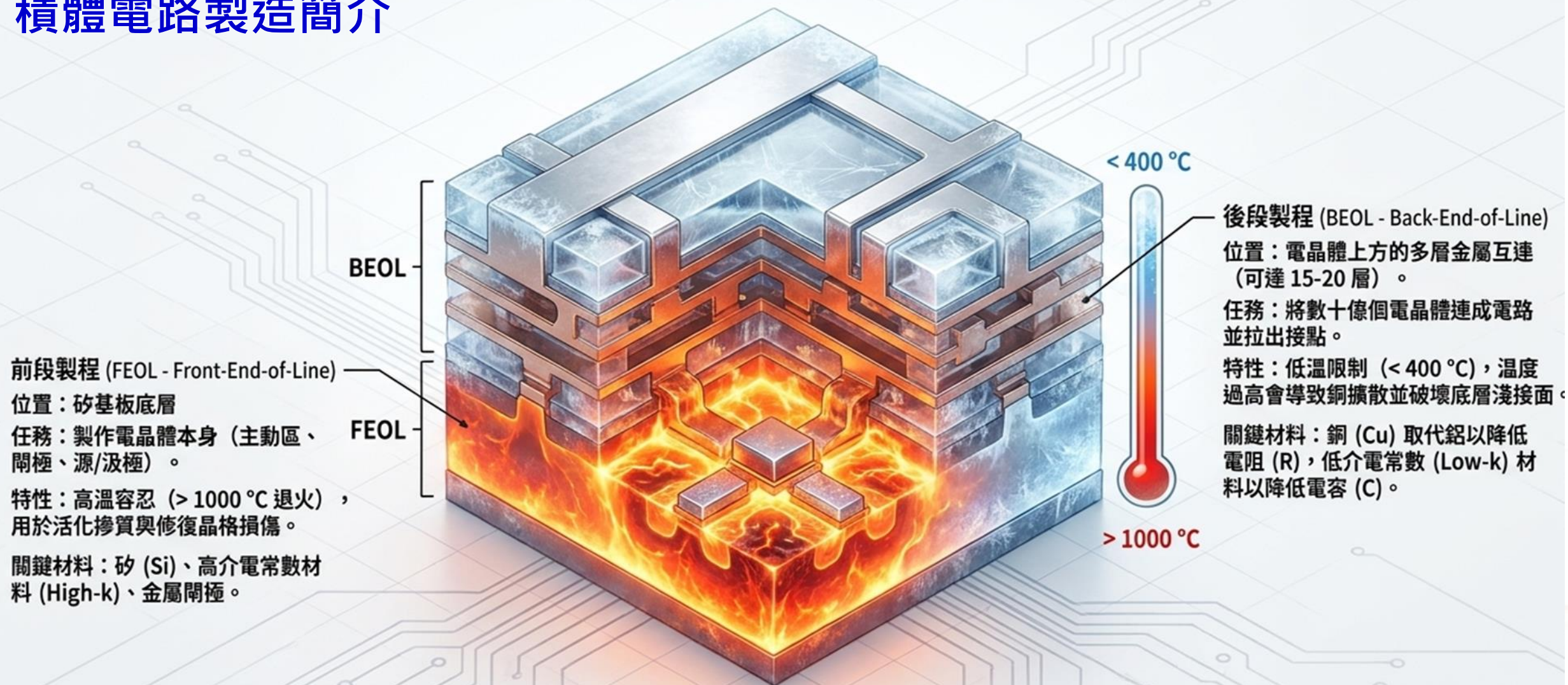
4"/6"/8" 晶圓	位置	製程	製程溫度(°C)	氣體種類/最大流量
Bank-A 低壓爐管	Tube 01 (Top)	LPCVD Silicon Nitride/ Oxynitride(FEOL)	400°C~850°C	N ₂ : 20 slm
				N ₂ : 1 slm
				SiH ₂ Cl ₂ : 200 sccm
				N ₂ O : 1 slm
				NH ₃ : 500 sccm
	Tube 02	LPCVD多晶矽、非晶矽、 摻雜磷之非晶矽	400°C~800°C	N ₂ : 20 slm ; N ₂ : 1 slm
				SiH ₄ : 300 sccm
				PH ₃ : 1% , 200 sccm
	Tube 03	LPCVD TEOS Oxide	400°C~800°C	N ₂ H : 20 slm ; N ₂ H : 1 slm
				O ₂ : 1 slm
				Vapor Flow Controller TEOS 200 sccm
	Tube 04	LPCVD Silicon Nitride/ Oxynitride(BEOL)	400°C~850°C	N ₂ : 20 slm
				N ₂ : 1 slm
				SiH ₂ Cl ₂ : 200 sccm
				NH ₃ : 500 sccm
				N ₂ O : 1 slm
Bank-B 常壓熱處理爐管	Tube 05 (Top)	Drive-in / Dry Thermal Oxidation /N+ Anneal	400°C~1250°C	N ₂ : 20 slm
				O ₂ : 10 slm
	Tube 06	Wet / Dry Thermal Oxidation	400°C~1100°C	N ₂ : 20 slm
				O ₂ : 10 slm
				H ₂ : 20 slm
				N ₂ O : 10 slm
	Tube 06	Wet / Dry Thermal Oxidation	400°C~1100°C	N ₂ : 20 slm
				O ₂ : 10 slm
	Tube 08	5% H ₂ -Sinter/N ₂ Anneal	300°C~900°C	N ₂ : 20 slm
				5% H ₂ in N ₂ : 10 slm

積體電路製造簡介

- ✓ Four Basic Operations in Semiconductor manufacturing:
Adding 、 Removing 、 Pattern, and Heating
Doping 、 Layer growth 、 and Deposition are Adding Processes.
- ✓ Thermal processes: High-temperature steps (usually above aluminum's melting point). Where they run: Done in front-end semiconductor manufacturing using diffusion furnaces. Including Oxidation 、 Diffusion 、 Annealing 、 High Temp CVD (Poly 、 Nitride ...etc.)
- ✓ Tool : Horizontal Furnace and Vertical Furnace



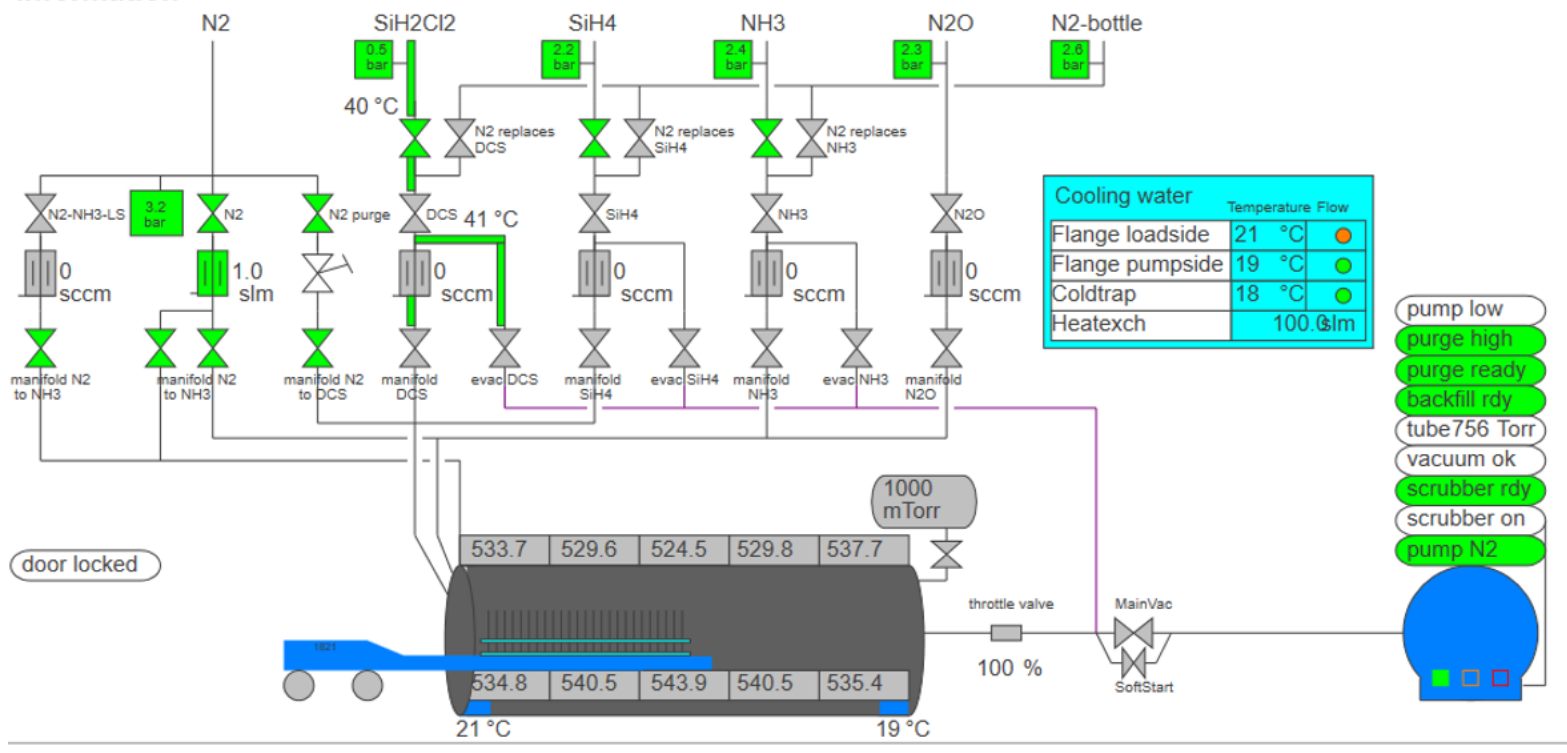
積體電路製造簡介



核心物理限制：FEOL 與 BEOL 的順序不可逆，本質是受限於「高溫做電晶體、低溫接線路」的熱預算鐵律。 11

TUBE 1 : 前段 Si_3N_4 及 SiON (FEOL- Nitride/ Oxynitride)

Information



製程氣體: SiH_2Cl_2 、 NH_3 、 N_2O

製程溫度: 780°C~800 °C

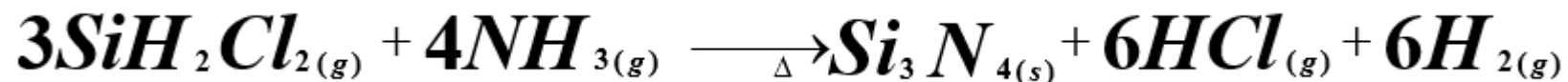
製程壓力: 200~350 mtorr

注意事項: 低壓、高溫、特氣

標準製程 :

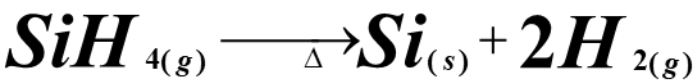
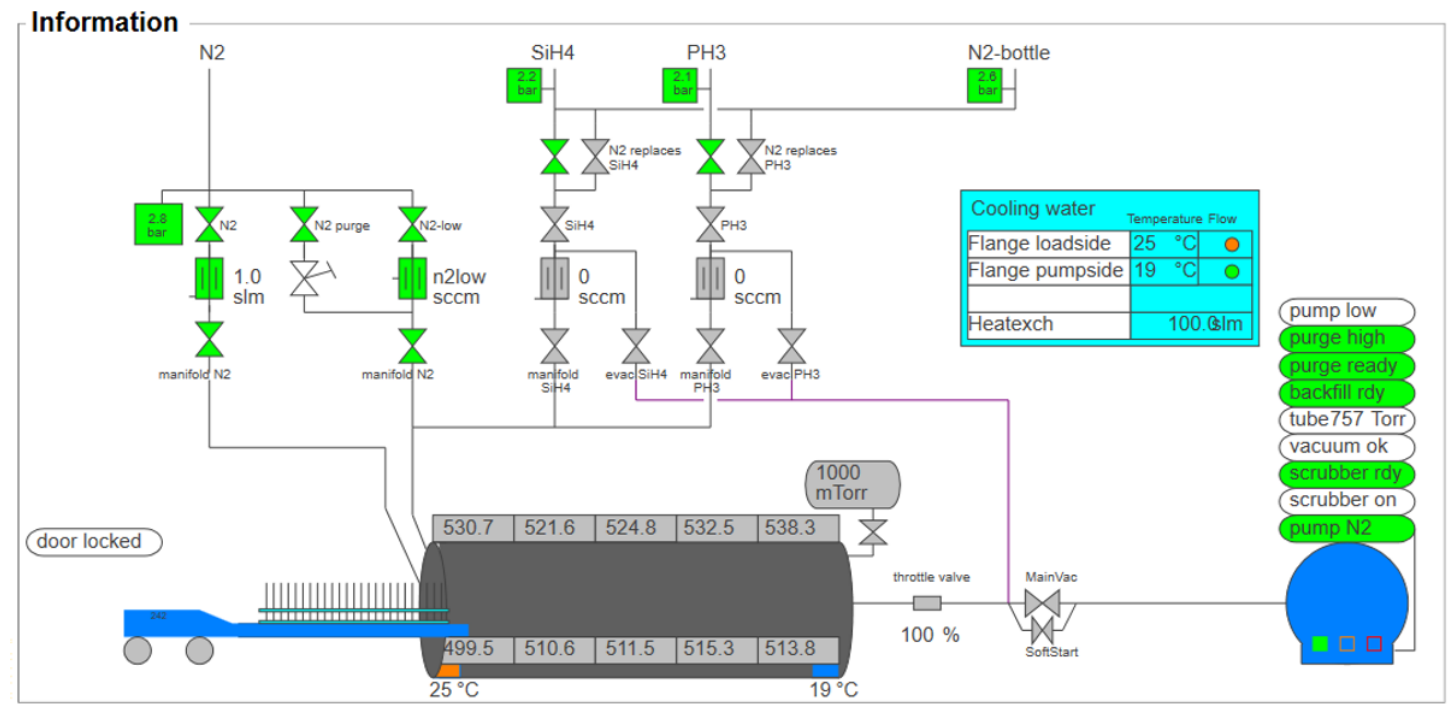
Si_3N_4 300Å~7000Å

SiON 300Å~10000Å



TUBE 1 : 前段 Si_3N_4 及 SiON (Front-End Nitride/Oxynitride) 主要製程 : 低壓化學氣相沉積 (LPCVD) 。 薄膜與用途 : 氮化矽, Si_3N_4 : 在前段主要作為元件隔離 (如 LOCOS 或者是 STI 主動區定義) 的硬遮罩 (Hard Mask) , 或是作為離子佈植的阻擋層。因其結構緻密, 也能有效阻擋雜質擴散。氧氮化矽 (SiON) : 介於氧化物與氮化物之間, 常作為抗反射層 (BARC) 以利後續微影製程, 或者作為應力緩衝層、輕微的介電質調變。

TUBE 2 : 前段 Poly-Si、Amorphous-Si、Doped-AMM



製程氣體: SiH₄

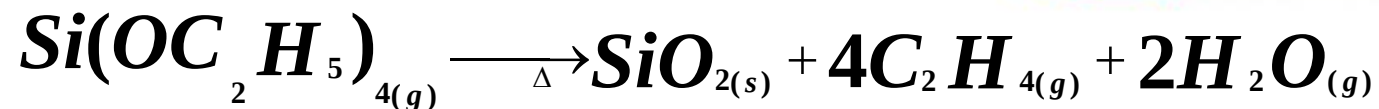
製程溫度: 560°C~620°C

製程壓力 :200~350 mtorr

注意事項: SiH₄ 極度易燃、可自燃

薄膜	中文	主要特性	半導體常見應用
Poly-Si	多晶矽	有晶粒、可摻雜、導電性可調	Gate、電極、電阻、MEMS、3D NAND
Amorphous-Si (a-Si)	非晶矽	無長程晶格、低溫沉積、表面均勻	Poly-Si 前驅層、3D NAND、TFT、犧牲層
Doped-AMM	摻雜非晶矽	非晶矽沉積時加入摻雜元素，提高導電性	導電層、電極、接觸層、後續轉成摻雜 Poly-Si

TUBE 3 : 前段 TEOS SiO₂

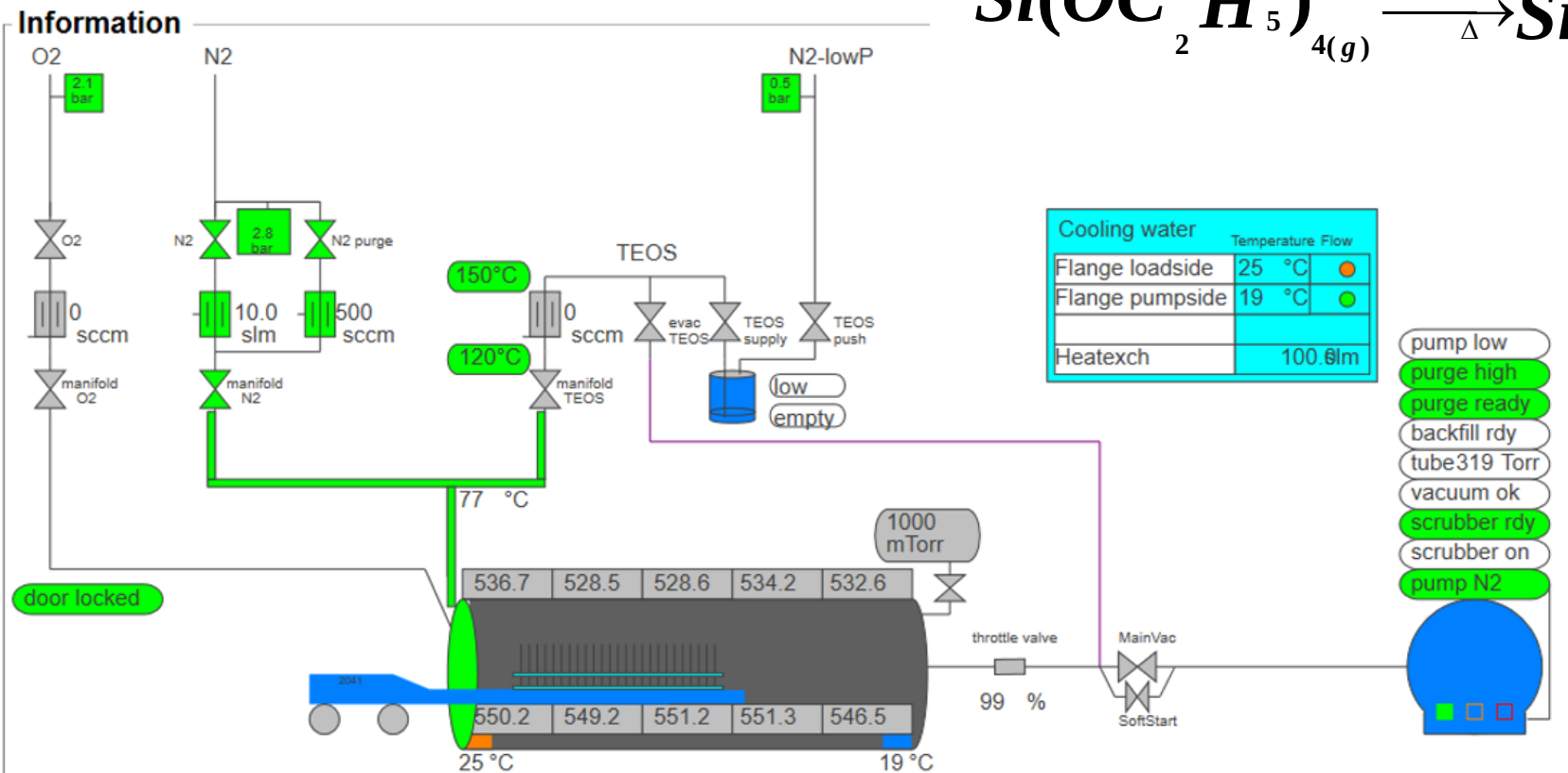


源材料: 液態正矽酸乙酯 (TEOS)

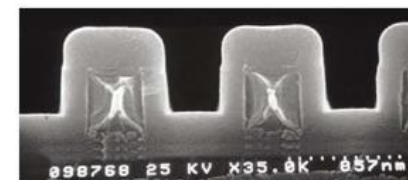
製程溫度: 700°C

製程壓力: 200~350 mtorr

注意事項: TEOS 室溫常壓下為液態，使用時需加熱 (約 40°C~70°C) 以提高飽和蒸汽壓。



Tube-3: 具有優異的階梯覆蓋率 (Step Coverage) 及高深寬比結構的間隙填充 (Gap Fill) 能力。廣泛應用於側壁間隔層 (Spacer)、層間介電層 (Interlayer Dielectric, ILD / Pre-Metal Dielectric, PMD)，以及高深寬比結構的絕緣填充。TEOS 氧化物薄膜有優異的階梯覆蓋原因是，TEOS 的黏附係數 (Sticking Coefficients) 很高，而黏附係數越高，表面遷移率就越低。



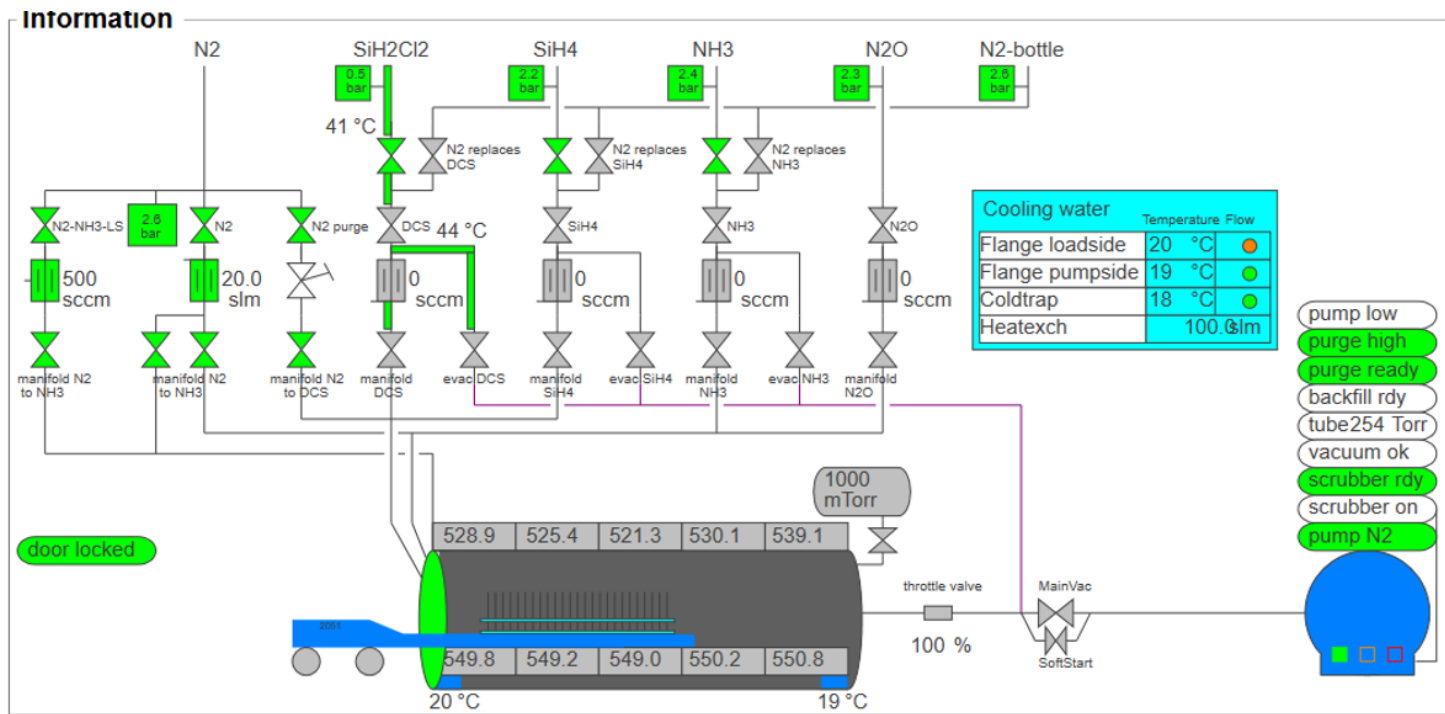
四乙氧基矽烷



矽烷

圖 10.23 TEOS 與矽烷形成的二氧化矽階梯覆蓋性。(應用材料公司提供)

TUBE 4：後段 Si₃N₄ 及 SiON (BEOL- Nitride/ Oxynitride)



SiON 在後段常見的用途

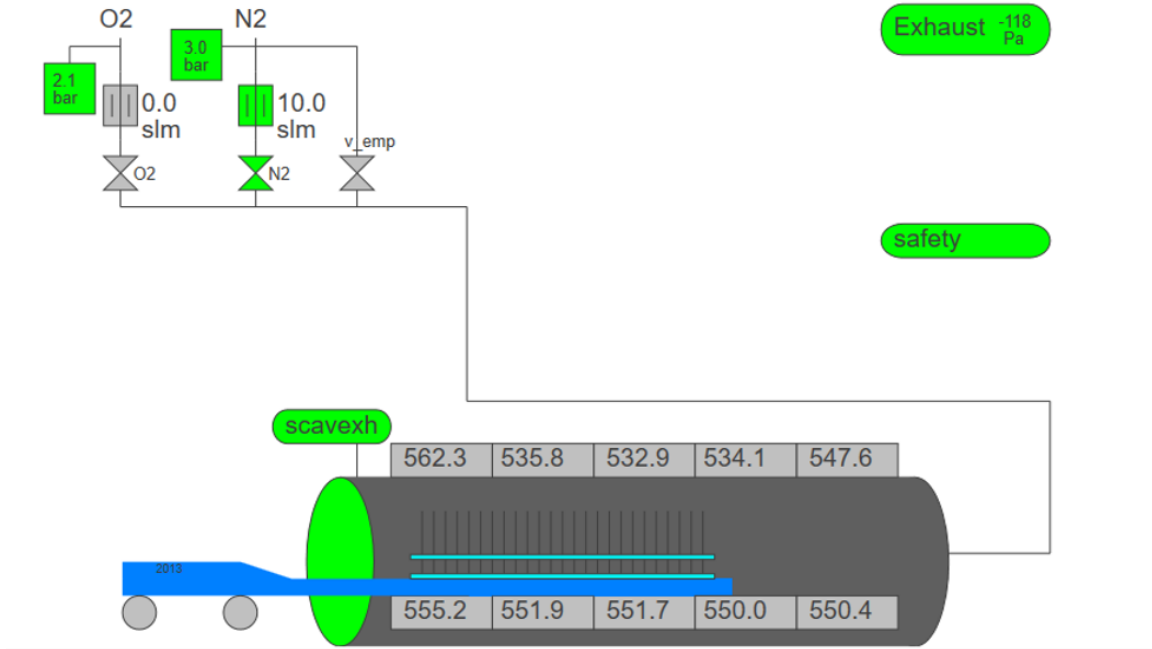
① ARC / BARC 抗反射層這是 SiON 很值得記的一項應用。在 Photolithography 曝光時，下方金屬或其他材料可能造成光反射，形成 standing wave 等問題，影響 CD。SiON 可以藉由控制：折射率 n + 消光係數 k + Film thickness來降低反射，因此可作為：ARC (Anti-Reflective Coating) 或特定整合流程中的無機抗反射層。

② Hard Mask / Etch StopSiON 也可以利用與 SiO₂、SiN_x 等材料之間不同的蝕刻速率，作為：Hard Mask / Etch Stop / Pattern transfer layer 尤其多層材料堆疊時，可以藉由調整 SiON 的 O/N ratio 改變 etch characteristics

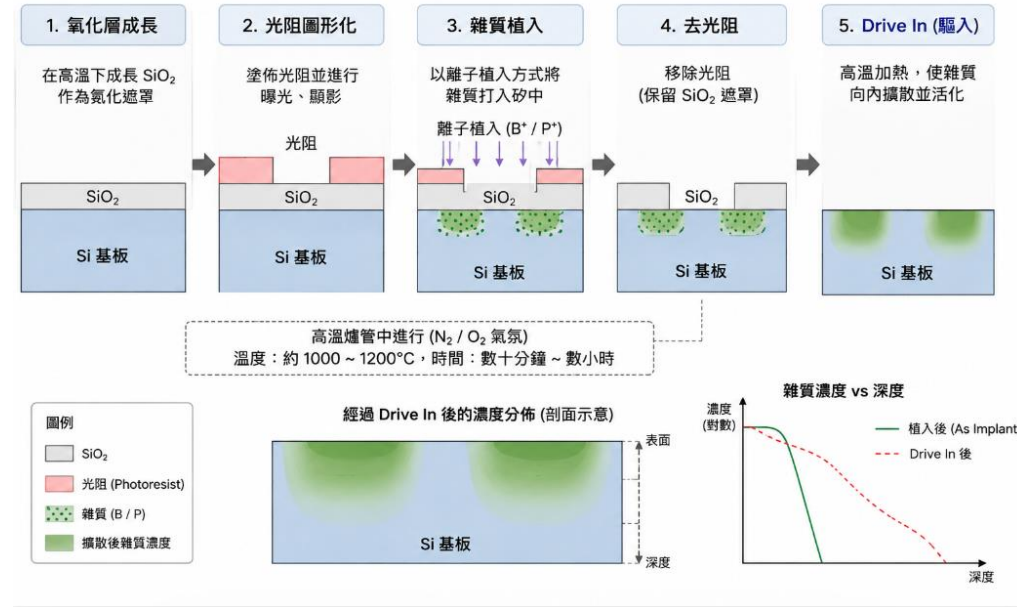
③ Passivation / Protective LayerSiON 也能作為保護層。它結合部分：SiO₂ 的介電特性 + Si₃N₄ 的阻擋能力因此在某些製程中，可以用來調整：Moisture resistance、Film stress、Electrical insulation、Optical properties。

BEOL製程	Si ₃ N ₄ 在後段常見的用途
Etch Stop Layer	蝕刻停止層，控制 Via / Trench 蝕刻深度
Cu Diffusion Barrier / Cap	防止 Cu 向介電層擴散
Passivation	保護晶片表面免受水氣、離子與外界污染
Hard Mask	作為後續蝕刻的硬遮罩
ILD結構輔助層	搭配 SiO ₂ 、Low-k 等介電材料
Moisture Barrier	阻擋水氣進入元件或金屬層

TUBE 5 : 高溫N+Anneal / Drive in/ N+ ANNEAL



半導體 Drive In 製程示意圖



TUBE 5 : N⁺ Anneal / Drive-In (N 型源 / 汲極活化退火與驅入)

主要製程：高溫熱退火 (High-Temperature Annealing)

薄膜種類：無沉積薄膜 (純熱處理製程) 製程原理：於 N⁺ 離子佈植 (通常為砷 As 或磷 P) 完成後，利用高溫熱退火活化摻質原子 (Dopant Activation)，並促使其向矽基板內部擴散 (Drive-In)，形成符合元件設計需求的摻雜分布與接面結構。

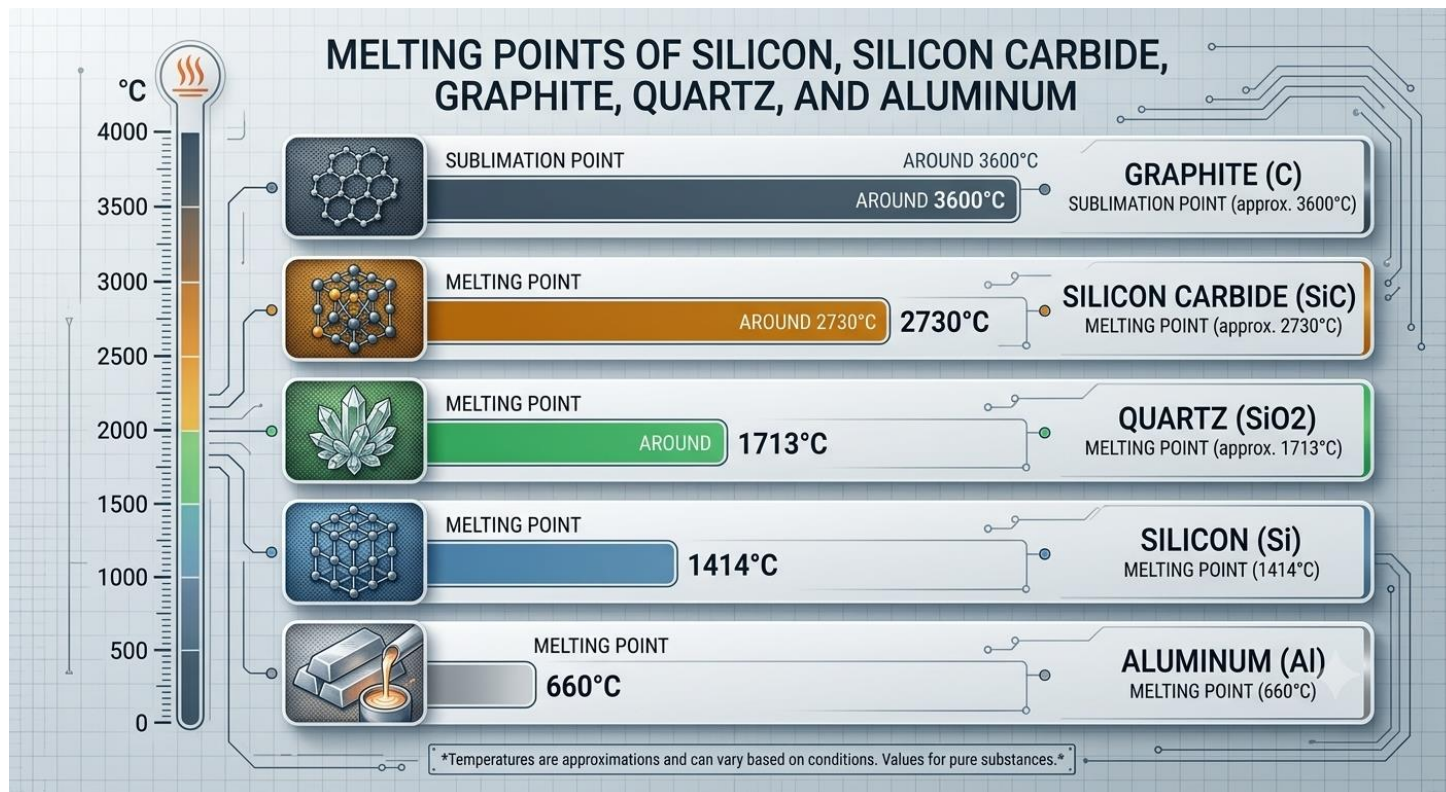
用途：活化 N⁺ 離子佈植後的摻質原子，使其具有電性。修復離子佈植造成的矽晶格損傷 (Crystal Lattice Damage)。

促使摻質原子佔據替代晶格位置 (Substitutional Lattice Sites)，恢復其電性活性 (Electrical Activity)。控制源 / 汲極 (Source/Drain) 接面深度 (Junction Depth) 及摻雜濃度分布，以達成元件設計規格。

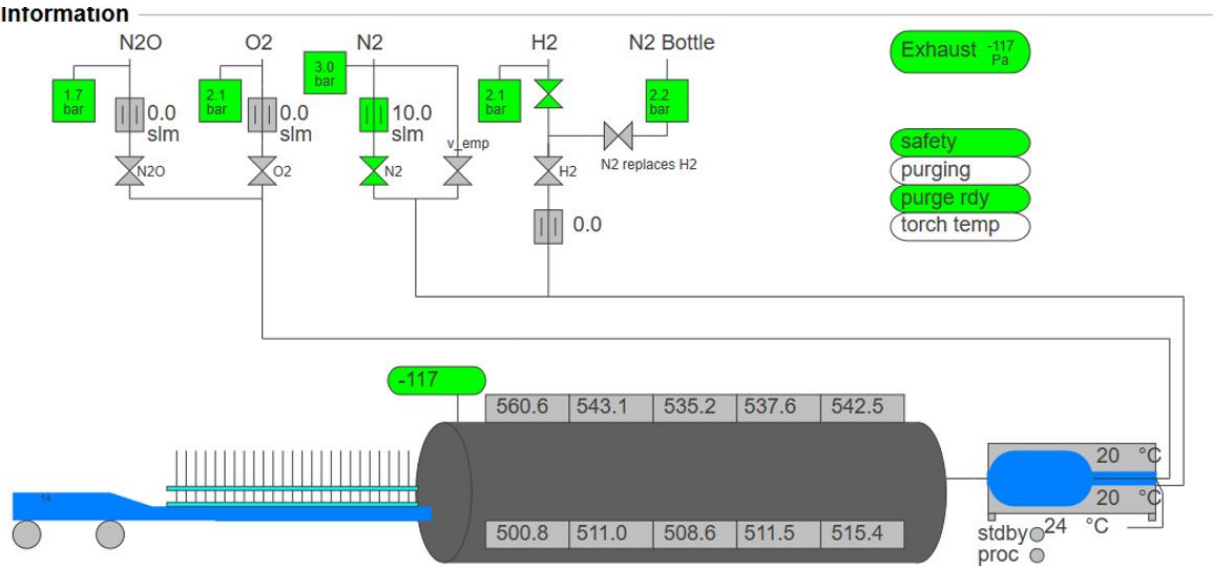
製程氣體: N₂、O₂

製程溫度: 300°C~1250°C

注意事項: 此根製程管為SiC材質，使用之所有載具、檔板、耗材均為SiC。



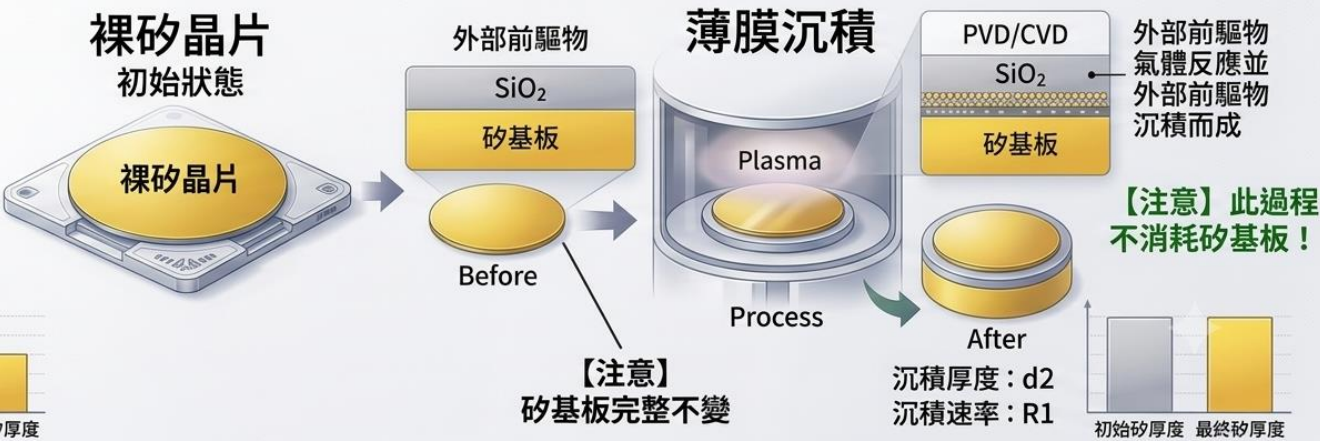
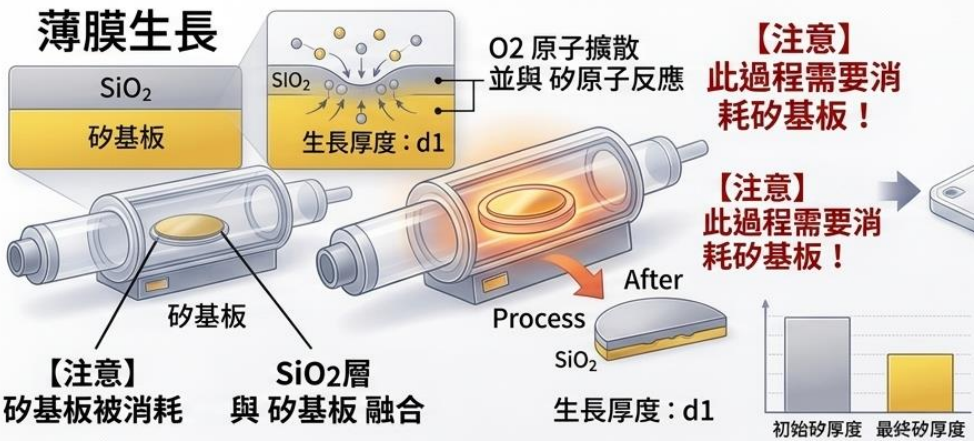
TUBE 6 : 濕式/乾式 氧化



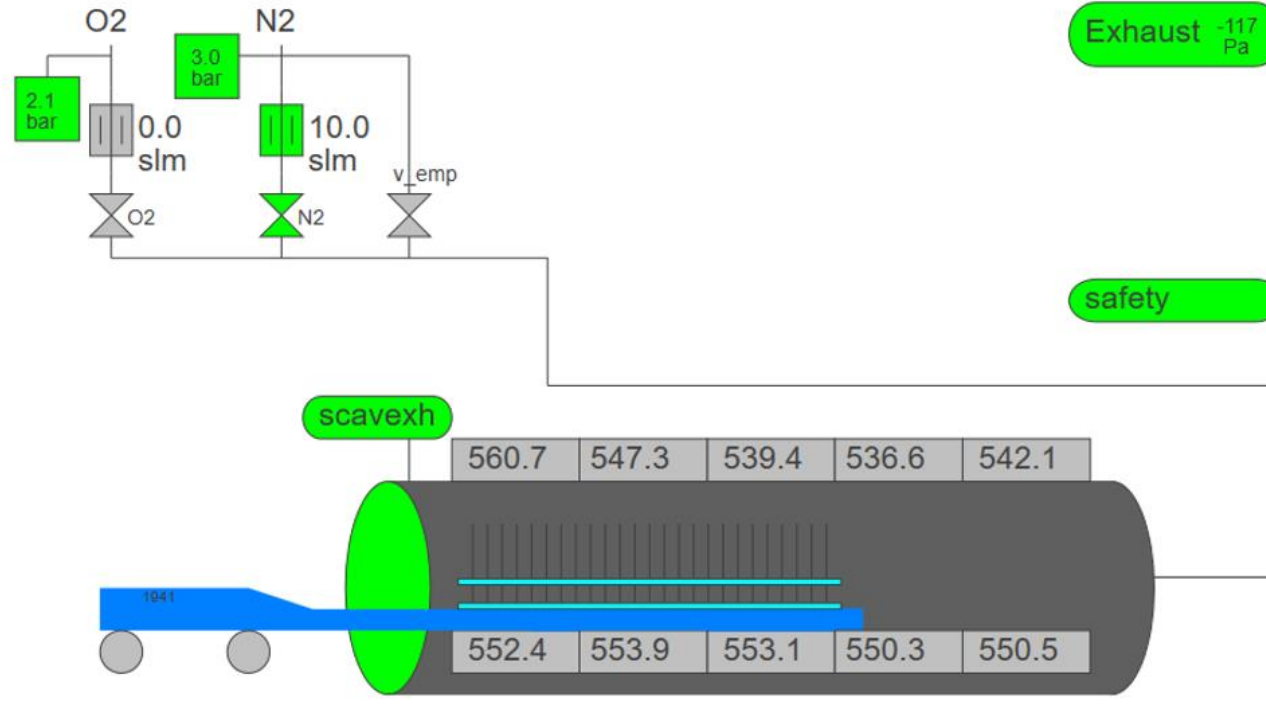
項目	DRY OXIDE 乾式氧化	WET OXIDE 濕式氧化
主要反應氣體	O ₂	H ₂ O (水蒸氣)
主要薄膜	SiO ₂	SiO ₂
典型溫度	約 800–1200°C	約 800–1200°C
成長速度	較慢	較快
膜質	較緻密、電性較佳	較疏鬆、電性通常較差
適合膜厚	薄氧化層	厚氧化層
主要用途	高品質介電層、薄氧化層	Field Oxide、Isolation、厚保護層

熱生長氧化 (Thermal Oxidation)

化學氣相沉積 (Chemical Vapor Deposition, CVD)



TUBE 7 : P+ ANNEAL (P型源汲極退火)



TUBE 7 : P+ ANNEAL

(P型源汲極退火) /Dry SiO₂

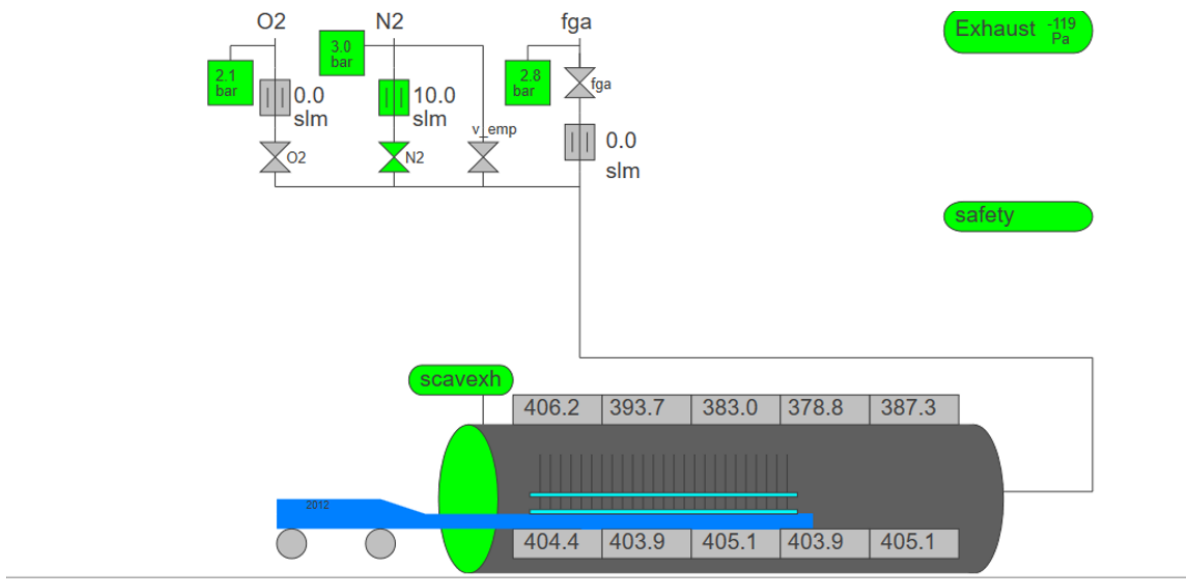
主要製程： 高溫熱退火，有通O₂
因此也可以做乾式氧化。

用途： 專門用於 P+ (通常是硼 B 或 BF₂) 離子佈植後的活化與修復。

說明： 將其與 TUBE 5 (N+ 退火) 分開是為了嚴格避免交叉污染 (Cross Contamination) 。
因為硼 (P型) 與磷/砷 (N型) 若在同一根管子混用，高溫下交叉擴散會嚴重干擾元件的閾值電壓 (V_{th}) 。

項目	N ⁺ Anneal	P ⁺ Anneal
導電型態	N-type	P-type
常見摻雜元素	P、As	B
常見離子	P ⁺ 、As ⁺	B ⁺ 、BF ₂ ⁺
主要目的	摻雜活化 + 晶格修復	摻雜活化 + 晶格修復
形成區域	N ⁺ Source/Drain、Contact region 等	P ⁺ Source/Drain、Contact region 等
電性目的	降低 N-type 區域電阻	降低 P-type 區域電阻

TUBE 8 : H₂ SINTER



應用	主要作用
Interface Passivation	鈍化 Si/SiO ₂ 界面的 dangling bonds
降低 Interface Trap	降低界面陷阱密度 Dit
改善 MOS 電性	改善 threshold、漏電、可靠度等特性
Metal Contact 改善	改善部分金屬/Si 接觸特性
降低 Contact Resistance	特定金屬化製程中降低接觸電阻
缺陷鈍化	H 與未飽和鍵結合，使 electrically active defects 減少
後金屬化熱處理	傳統製程中常作為 metallization 後的熱處理之一

TUBE 8 : 國家實驗研究院 NATIONAL INSTITUTES OF APPLIED RESEARCH

後段用的H₂ SINTER 主要製程：低溫（約 400°C - 450°C）成型氣體退火（Forming Gas Annealing, FGA）。

用途：消除 Si/SiO₂界面的懸鍵（Dangling Bonds），降低界面態密度（Interface State Density）。說明：製程通常通入含有 5%H₂/N₂ SINTER的混合氣體，氫原子在高溫下會擴散至元件界面，與未飽和的矽鍵結結合（鈍化作用），進而提升元件的載子移動率並穩定漏電流。此外，若有金屬鋁製程，此步驟也能優化金屬與矽的歐姆接觸（Ohmic Contact）。

