

Update: 2024/04/15

T18 可允許之 DRC 錯誤列表

TSMC policy is DRC clean

TSMC 0.18UM MM/RF 1P6M SALICIDE 1.8V/3.3V PROCESS DESIGN KIT

CALIBRE DRC COMMAND FILE : CLM18_LM16_LM152_6M.215_5a_m.drc (VER 2.15_5a 10/31/2023)

CLM18_LM16_LM152_6M_ANT_215_5a_m.drc (VER 215_5a 10/31/2023) ANT Rule 需驗證

建議使用 Calibre v2018.4_25.17 以上版本，如遇到以下未列出之 DRC 錯誤，請先聯絡工程師討論後，再填寫“晶片製作需違反 DRC 申請表”，我們將詢問製程廠商是否能接受所申請違反的錯誤，請勿自行合理化錯誤，且認為填寫申請表即可違反，若沒有先與工程師討論而直接違反，該下線案件會因 DRC 錯誤而列入不受理！

使用 Cell-Based 設計流程下線案件：

DRC	說明
LUP.4g LUP.5.3g_3.3V	此錯誤必須發生在 I/O Pad 的範圍內，可忽略。
VIA*.E.3 (x=2~4)	此錯誤必須發生在 Core Circuit 的範圍內，可忽略。
RES.2 RES.4_PO RES.8 VIA2.E.3 ESD.24g ESD.25g ESD.28g ESD.34g OD.EX.1 NW.S.1.1	該錯誤需發生於 TSRI 提供之數位 PAD 上，可忽略。
NO.IND.OD.R.1 NO.IND.PO.R.3 NO.IND.Mx.R.1 (x=1~5) UTM20K.R.1	請使用 Dummy 填補程式進行填補，填補後錯誤，可忽略。

使用 MEMS 自行後製下線案件：

DRC	說明
MEMS 結構	DRC 請與 MEMS 工程師討論。

其它設計下線案件：

此製程的 DRC 錯誤，需修正不得違反：

DRC	說明
NO.IND.OD.R.1 NO.IND.PO.R.3 NO.IND.Mx.R.1 (x=1~5) UTM20K.R.1	Full chip Density 過低是不允許的，請修正。
PAD.R.* (x=1~2)	PAD 開窗，底層無定義 Metal6 Layer，請修正。(Seal-Ring 佈局除外)
VIA*.R.1 (x=1~5)	VIA 尺寸非矩形，請修正。(Seal-Ring 佈局除外)
VIA5.R.2	VIA5 於 PAD 下距離過近，請修正。

STC I/O PAD 錯誤 DRC rule，僅需在設計內容電子檔中列出，並說明違反的原因，不需繳交“晶片製作需違反 DRC 申請表”：

DRC	說明
OD.C.1 OD.C.2_OD.C.3 OD.C.5 RES.2 RES.3_PO RES.3_OD RES.4_PO RES.4_OD RES.8 RES.12 RES.13 RPO.S.1 RPO.C.3 RPO.C.6 VIA2.E.3	佈局使用 T18 STC I/O PAD 1.8V，發生於該 Cell 上，可忽略。 DIN_18、AIN_18、VDDE、VDDI、VSSE、VSSI、ESDH、OUxx_18、TRxx_18、Bixx_18、ESDH、Power_Cut 等 Cell。
NW.S.1 NW.S.1.1 NWR.E.1 NWR.C.3 NWR.R.4 NWR.R.7 OD.C.1 OD.C.2_OD.C.3 OD.C.5 RES.2	佈局使用 T18 STC I/O PAD 3.3V，發生於該 Cell 上，可忽略。 AIN_33、DIN_33、VDDE_33、VDDI_33、VSSI_33、VSSE_33、ESDH_33、OUxx_33、TRxx_33、BIxx_33、ESDH_33、Power_Cut 等 Cell。

RES.3_PO RES.3_OD RES.4_PO RES.4_OD RES.6_PO RES.8 RES.12 RES.13 RES.15 RPO.S.1 RPO.C.3 RPO.C.6 ESD.24g ESD.27g ESD.30g ESD.32g ESD.40g VIA2.E.3	
---	--

其它錯誤 DRC rule，僅需在設計內容電子檔中列出，並說明違反的原因，不需繳交“晶片製作需違反 DRC 申請表”：

DRC	說明
CTM.R.2	佈局中，多放置穩壓電容，此錯誤即可排除，可忽略。
VIA*.E.3 (x=2~4)	佈局元件 crtmmom、crtmmom_rf 產生錯誤，可忽略。
UTM20K.C.1 UTM20K.E.3 UTM20K.I.1	佈局元件 Inductor 產生錯誤，請確認是否為無法修正，可忽略。
VIA2.E.3	佈局元件 rfnmos2v、rfnmos3v、rfpms2v、rfpms2v_nw、rfpms3v、rfpms3v_nw 產生錯誤，可忽略。
CO.W.1 VIA*.W.1 (x=1~5) PAD.R.* (x=1~2) VIA*.R.1 (x=1~5)	佈局元件 Seal-Ring 產生錯誤，可忽略。
LUP.*g (x=1~2)	佈局時請盡量考慮其 Latch-Up 效應，可忽略。
NET_AREA_RATIO_RDBS	可忽略。
FPAD.R.1 NW.R.1	Recommended not to use floating well and Floating PAD，可忽略。
DOD.DN.1 DOD.DN.2 OD.R.1	Local Density Rule，設計者需考慮製程對於佈局上的影響，可忽略。
DRM.R.1	僅提醒使用者要檢查 Antenna 與 Wire bond DRC rules，請自行驗證後可忽略。
ANT Rule	請評估 ANT violations 對元件可靠度影響，可能因為 rule violations 造成的 damage。

其它注意事項

1.在晶片中如需利用金屬層寫字時請一樣遵守 Design Rule。
2.驗證 DRC 時，Hierarchical 與 Flat 選項都需驗證，以避免產生 DRC 錯誤。並確認所有的 DRC 錯誤，於設計上是否都不可避免，以免因 DRC 錯誤而列入不受理名單，此部份可與工程師討論。
3.使用 RF 元件 rphripoly_rf 電阻的設計案，建議於 P-Cell 外，額外於電阻部份加上 RLPPDUMMY 圖層(Layer 134:0)，以避免出現違反 HRI Poly Resistor Rule 為 RES.HRI.7 的錯誤。
4.佈局加上 I/O PAD 後發生 ESD 與 Latch-up 錯誤，請先查閱 T018LODR001.pdf 文件進行除錯。
5.電阻產生 RES.2 錯誤，請確認其電阻長度大於 5um，寬度大於 1um，長除以寬比值大於 5 倍。

更新歷史

2024/04/09 更新版本

2024/04/15 修正 Seal-Ring 可允許錯誤。