

Update: 2025/03/05

## TN65GP 可允許之 DRC 錯誤列表

**TSMC policy is DRC clean**

TSMC 65NM CMOS RF GP 1P9M PROCESS WITH 6X1Z1U METAL OPTION PDK Version : 1.0c

1P9M\_6X1Z1U\_ALRDL、MIMCAP 1.5fF/um<sup>2</sup>

CLN65S\_9M\_6X1Z1U.26\_2a (VER 2.6\_2a 01/31/2024)

CN65S\_9M\_6X1Z1U\_MIM\_ANT.26\_2a (VER 2.6\_2a 01/31/2024)

CN65\_WIRE\_BOND\_CU\_9M\_6X1Z1U.14a1 (VER 1.4a1 07/24/2015)

建議使用 Calibre v2018.4\_25.17 以上版本，如遇到以下未列出之 DRC 錯誤，請先聯絡工程師討論後，再填寫“晶片製作需違反 DRC 申請表”，我們將詢問製程廠商是否能接受所申請違反的錯誤，請勿自行合理化錯誤，且認為填寫申請表即可違反，若沒有先與工程師討論而直接違反，該下線案件會因 DRC 錯誤而列入不受理！

此製程的 DRC 錯誤，需修正不得違反：

DRC	說明
OD.DN.1 PO.DN.1 Mu.DN.1 (u=9)	Full chip Density 過低是不允許的，請修正。
OD.DN.1.1 PO.DN.1.1 Mu.DN.1.1 (u=9)	Full chip Density 過高是不允許的，請修正。
OD.DN.2.1 OD.DN.3.1 M1.DN.1.1 Mx.DN.1.1 (x= 2~7) Mz.DN.1.1 (z= 8) M1.DN.2 Mx.DN.2 (x=2~7) Mz.DN.2 (z=8) Mu.DN.2.1 (u=9) Mz.DN.5:H [Mz.DN.5.2] (z=8)	Local Density 過高是不允許的，請修正。  註：Cell-Based 或 Mixed-Signal 的使用者，若為使用 Dummy generation 填補 Density 的區域，則可忽略。
CSR.R.1: (系列錯誤)	Layout 角落必須留空或者放 Seal-Ring，可以等到整的電路 Layout 完成再處理此 DRC 錯誤，請參考文件(TN65CLDR001_2_6_2.pdf)。
G.1: (系列錯誤)	佈局時，最小格點間距，請以 0.005um 為最小範圍。
Wirebond Rule	除 RV.R.2 與 AP.EN.2 不可違反外，其餘皆可忽略。

**Density:** 此製程的 Density 錯誤 DRC rule，僅需在設計內容電子檔中列出，並說明違反的原因，不需繳交“晶片製作需違反 DRC 申請表”：

DRC	說明
OD.DN.2 OD.DN.3 PO.DN.2 PO.DN.3 M1.DN.1 Mx.DN.1 (x=2~7) Mz.DN.1 (z=8) Mu.DN.2 (u=9) Mz.DN.5:LW [Mz.DN.5.1] (z=8) Mz.DN.5:LR [Mz.DN.5.1] (z=8)	Local Density 過低的狀況，原則上也是不允許的，除非是在核心電路附近，填補 Dummy 會影響電路特性時，請在設計報告內容電子檔中說明，才能忽略。  註：Cell-Based 或 Mixed-Signal 的使用者，若為使用 Dummy generation 填補 Density 的區域，則可忽略。
M1.DN.4 Mx.DN.4 (x= 2~7) Mz.DN.4 (z= 8)	相鄰兩塊區域的金屬密度差需小於 40%，請增加低密度區域金屬，減少高密度區域金屬，可忽略。
Mx.DN.5 (Mx, Mx+1 and Mx+2) (x= 2~7)	3 個連續金屬的局部密度，需小於 80%，減少高密度區域金屬，可忽略。
AP.DN.1:L [AP.DN.1.WB] AP.DN.1:H [AP.DN.1.WB]	AP 密度，請自行填補 AP 層，增加或減少 density，可忽略。
IND.DN.6	電感面積需小於晶片面積的 5%，可忽略。

**Others:** 此製程的 Density 以外錯誤 DRC rule，僅需在設計內容電子檔中列出，並說明違反的原因，不需繳交“晶片製作需違反 DRC 申請表”：

DRC	說明
DOD.R.1 DPO.R.1 DMx.R.1 (x=1~9)	台積電建議使用 DOD(6:1), DPO(17:1), DM1~DM9(31~39:1)這幾層 CAD layer 來補 Dummy，以達到足夠的 Density，若沒有使用此 CAD layer，則會出現 DRC 錯誤。若是使用 OD, PO, M1~9 來補 Density 則可忽略。
PO.R.8	layout 中有 floating gate 的問題，請自行檢查是否影響電路操作，若無則可忽略。
ESD.WARN.1	layout 中無 SDI 層，若無使用 ESD，可忽略。
DRM.R.1	僅提醒使用者要檢查 Antenna 與 Wire bond DRC rules，請自行驗證後可忽略。
LUP.x LUP.x.x LUP.x.x.x	Latch-up prevention rule，請自行確認對電路的影響，若無則可忽略。
ANT Rule	請評估 ANT violations 對元件可靠度影響，可能因為 rule violations 造成的 damage。

## 其它注意事項

1.在晶片中如需利用金屬層寫字時請一樣遵守 Design Rule。

2.驗證 DRC 時，Hierarchical 與 Flat 選項都需驗證，以避免產生 DRC 錯誤。並確認所有的 DRC 錯誤，於設計上是否都不可避免，以免因 DRC 錯誤而列入不受理名單，此部份可與工程師討論。

## 更新歷史

2025/01/03 新增本文件

2025/03/05 Wirebond Rule 修正