

# UMC 0.18um MM/RF CMOS 1.8V/3.3V 1P6M (with MIM) 製程 可允許之 DRC 錯誤列表

更新日期: 2024/03/11

DRC 驗證採用 Calibre 2011.4.2220 以後版本作為標準軟體；若使用者遇有實質上不違反 Design Rule 文件所列規則，且無法修整佈局檔達到 Error Free，但 Calibre 軟體卻列為 DRC 錯誤狀況時，請聯絡 TSRI 相關製程負責工程師，TSRI 人員將與製程提供廠商人員討論解決方法；使用者遇到各類不明 DRC 錯誤提示，或未列為可以忽略之 DRC 錯誤，請與製程工程師討論，切勿自行將 DRC 錯誤合理化。

## Cell-Based 案件可允許之 DRC 錯誤：

Base Rule	以下錯誤必須在 <b>CBT</b> 案件上，且需 TSRI 進行 replace 後發生，才可忽略
RECOMMEND_4.14L	CBDK Standard Cell 之 Poly 於 Diffusion 上之間距不足。 可允許錯誤。
4.1M	局部區域之 Density Rule。 可允許錯誤。
4.20G	
4.22G	
4.24G	
4.26G	
4.28G	
4.31F	
4.20C	M1、M2、M3、M4 與 M5 之最大間距，不得超過 500um。 可允許錯誤。
4.22C	
4.24C	
4.26C	
4.28C	
4.29NOTICE	如無使用 RF 元件，則會提醒您關閉 RF_Rule Group。 可允許錯誤。
4.01Z.NO_IND_OD	Full Chip Density Rule，案件統一後端 UMC 填補 Dummy Cell。 可允許錯誤。
4.14Z.NO_IND_PO1	
4.20F.NO_IND_M1	
4.22F.NO_IND_M2	
4.24F.NO_IND_M3	
4.26F.NO_IND_M4	
4.28F.NO_IND_M5	
4.31E.NO_IND_M6	
6Bb.ME1	Die Corner 其 Metall 角度需為 135 度。 可允許錯誤。

Antenna Rule	以下錯誤必須發生在 U18 Memory Generate 所產生 Memory 上，且需 TSRI 進行 replace 後發生，才可忽略
ANT.1D.b.ME1	此錯誤必須發生在 U18 Memory Generate 所產生 Memory 上才可允許。
ANT.1D.b.ME2	
ANT.1D.b.ME3	

Antenna Rule	以下錯誤必須在 <b>CBT</b> 案件上，且需 TSRI 進行 replace 後發生，才可忽略
ANT.3.1.1D.ME*	
ANT.3.1.2.NoTE2.VI*	

ESD Rule	以下錯誤必須發生在 Faraday I/O Pad 上才可忽略
Sanity_1	
IO5.1.W2	

IO5.1.R1	此錯誤必須發生在 Faraday I/O Pad 上可允許。
IO5.2.1.W1.a	
IO5.2.1.W1.b	
IO5.2.2.L1.a	
IO5.2.2.L1.c	
IO5.5.4.Note	缺少 IOID Layer 為驗證 ESD 需要之 Layer，可允許錯誤。

<b>Latch up Rule</b>	以下錯誤必須在 <b>CBT</b> 案件上，且需 TSRI 進行 replace 後發生，才可忽略
Latch.4.1	此錯誤必須發生在 Faraday I/O Pad 和 Memory 上才可允許。
Latch.4.2	
Latch.4.4.pick	
Latch.4.5	
Latch.4.5.pick	
Latch.4.6.guard	
Latch.4.7	
Latch.4.7.guard	
Latch.4.10	
Latch.5.1	
Latch.5.3	
Latch.5.4	
Latch.5.5	
Latch.5.6	
Latch.4.8_Latch.4.9_Latch.5.2	

## MEMS 案件可允許之 DRC 錯誤：

<b>Rule Check</b>	以下限制為 <b>MEMS 設計</b> 案件可接受忽略之 <b>DRC 錯誤</b>
MEMS 結構問題	請與 MEMS 工程師討論。
Off_Grid	佈局走線與圖型未在 0.01um 之最小格線上。 可允許錯誤。
SkewEdge	佈局走線角度非 0°、45° 與 90 度。可允許錯誤。
4.1M	局部區域之 Density Rule。 可允許錯誤，請盡量符合其 Rule。
4.20G	
4.22G	
4.24G	
4.26G	
4.28G	
4.31F	
4.20C	M1、M2、M3、M4 與 M5 之最大間距，不得超過 500um。 可允許錯誤，請盡量符合其 Rule。
4.22C	
4.24C	
4.26C	
4.28C	
4.29NOTICE	如無使用 RF 元件，則會提醒您關閉 RF_Rule Group。可允許錯誤。
4.01Z.NO_IND_OD	若為 MEMSOPEN 區域，則此錯誤可允許，CMOS 區域請滿足 Density Rule。
4.14Z.NO_IND_PO1	
4.20F.NO_IND_M1	
4.22F.NO_IND_M2	
4.24F.NO_IND_M3	
4.26F.NO_IND_M4	
4.28F.NO_IND_M5	

4.31E.NO_IND_M6	若為 MEMSOPEN 區域,則此錯誤可允許, CMOS 區域請滿足此 Rule。
6.1A.M1	
6.1A.M2	
6.1A.M3	
6.1A.M4	
6.1A.M5	
6.1A.M6	

### 其他一般案件可允許之 DRC 錯誤：

Base Rule	
Off_Grid	佈局走線與圖型未在 0.01um 之最小格線上。 可允許錯誤。
SkewEdge	佈局走線角度非 0°、45° 與 90 度。 可允許錯誤。
4.1M	局部區域之 Density Rule。 可允許錯誤, 請盡量符合其 Rule。
4.20G	
4.22G	
4.24G	
4.26G	
4.28G	
4.31F	
4.20C	M1、M2、M3、M4 與 M5 之最大間距, 不得超過 500um。 可允許錯誤, 請盡量符合其 Rule。
4.22C	
4.24C	
4.26C	
4.28C	
4.29NOTICE	如無使用 RF 元件, 則會提醒您關閉 RF_Rule Group。 可允許錯誤。
4.29M_MMC_1 4.29M_MMC_2 4.29M_MMC_3 4.29M_MMC_4	4.29M_MMC_1 ~ 4.29M_MMC_4 等錯誤, 為要求 MMC 面積與 VIA 面積比例。此錯誤為 MMC 中的 VIA Density Rule, 主要避免 PID(Plasma Induced Damage)問題。  MIMCAPM_RF 元件, 發生該錯誤可忽略。 MIMCAPS_MM 元件, 使用 Cadence CDBA FDK 時會產生該錯誤, 請轉移至 Cadence OA FDK 平台, 重新叫出元件使用。
4.29MNote6_MMC_VI5	MMC 中的 VIA 數量需 = < 9。  MIMCAPS_MM 元件, 使用 Cadence CDBA FDK 時會產生該錯誤, 請轉移至 Cadence OA FDK 平台, 重新叫出元件使用。

ESD Rule	
IO5.5.4.Note	缺少 IOID Layer 為驗證 ESD 需要之 Layer, 可允許錯誤。
	<b>以下錯誤必須發生在 STC I/O Pad 上才可忽略</b>
Sanity_1	AIN_18、VDDE_18、VDDI_18、VSSE_18、ESDH_18
IO5.1.EN1	AIN_18、VDDE_18、VDDI_18、VSSE_18、ESDH_18
IO5.1.W2	AIN_18、VDDE_18、VDDI_18、VSSE_18、ESDH_18
IO5.1.R1	AIN_18、VDDE_18、VDDI_18、VSSE_18、ESDH_18
IO5.2.W1.b	AIN_18、VDDE_18、VDDI_18、VSSE_18、ESDH_18
IO5.2.1.L1.c	AIN_18、VDDE_18、VDDI_18、VSSE_18、ESDH_18
IO5.2.1.S4	AIN_18、VDDE_18、VDDI_18、VSSE_18、ESDH_18

Latch up Rule	
	以下錯誤必須發生在 STC I/O Pad 1.8V 上才可忽略
Latch.4.1	DIN_18、AIN_18、VDDE_18、VDDI_18、VSSE_18、ESDH_18、OU**_18、TR**_18、BI**_18
Latch.4.2	DIN_18、VSSI_18、OU**_18、TR**_18、BI**_18
Latch.4.4.pick	DIN_18、AIN_18、VDDE_18、VDDI_18、VSSE_18、OU**_18、TR**_18、BI**_18
Latch.4.5	AIN_18、VDDE_18、VDDI_18、VSSE_18
Latch.4.5.pick	DIN_18、VSSI_18、OU**_18、TR**_18、BI**_18
Latch.4.6.guard	DIN_18、AIN_18、VDDE_18、VDDI_18、VSSE_18、OU**_18、TR**_18、BI**_18
Latch.4.7	DIN_18、AIN_18、VDDE_18、VDDI_18、VSSE_18、VSSI_18、OU**_18、TR**_18、BI**_18
Latch.4.8_Latch.4.9_Latch.5.2	DIN_18、AIN_18、VDDE_18、VDDI_18、VSSE_18、VSSI_18、ESDH_18、OU**_18、TR**_18、BI**_18
Latch.4.10	DIN_18、OU**_18、TR**_18、BI**_18
Latch.5.5	AIN_18、VSSE_18、ESDH_18、Power_Cut
Latch.5.6	AIN_18、VDDE_18、VDDI_18、VSSE_18、ESDH_18

PAD Rule	
5.1H.a.inline	PAD 與 PAD 間距，請考量後端量測儀器與封裝，避免發生間距過近問題。 可允許錯誤。
5.2.2_M1	PAD_RF 之 P-Cell 元件。 可允許錯誤。
5.2.2_M2	
5.2.2_M3	
5.2.2_LTM	
5.2.2_LSM	
5.2.3	
5.1B.inline	佈局中 DRC 驗證無誤後，加入 Seal-Ring，額外產生錯誤可忽略。
5.1D.inline	
5.1.extra	
5.2A_M1	
5.2B_M1	
5.2A_M2	
5.2B_M2	
5.2A_M3	
5.2B_M3	
5.2A_M4	
5.2B_M4	
5.2A_M5	
5.2B_M5	
5.2.1	
5.1F_M1	
5.1F_M2	
5.1F_M3	
5.1F_M4	
5.1F_M5	
5.1F_M6	
5.1B.inline	
5.2A_M2	
5.2B_M2	
5.2C_M2	
5.2E_V2_M2	
5.2E_V2_M3	
5.2F_V2_M2	
5.2H_V2	
5.2H_V5	

5.2.2_LSM	
5.2.3	

#### 其它注意事項

1.	自行繪製電感時，請框選 IND Layer 層(117:36)於電感佈局外圍，避免電感而造成 Density 不足。
----	--

#### 更新歷史

2022/06/13 說明 4.29M\_MMC\_1、4.29M\_MMC\_2、4.29M\_MMC\_3、4.29M\_MMC\_4、4.29MNote6\_MMC\_VI5 等錯誤，佈局加上 Seal-Ring 後，驗證 PAD Rule 造成額外錯誤說明。

Cell-Based 則增加 ANT.3.1.1D.ME\*、ANT.3.1.2.NoTE2.VI\*可允許錯誤，新增 U18 STC I/O Pad 1.8V 可允許錯誤(含 PAD RULE)。

2023/05/08 更新 PDK/Calibre/XRC(PEX)檔案共三個。

2023/06/07 新增 MEMS 案件可允許 DRC 錯誤(MEMS.S.ME7.b、MEMS.W.ME7.b)。

2024/03/11 刪除 MEMS 案件可允許 DRC 錯誤(MEMS.S.ME7.b、MEMS.W.ME7.b)。  
新增 PAD Rule 可允許 DRC 錯誤 (5.1H.a.inline)。