

財團法人國家實驗研究院台灣半導體研究中心  
前瞻晶片製作申請須知與說明  
(含部分負擔、速審部分負擔、新進教師優惠、優良晶片優惠)

公佈時間：113年7月4日

歡迎參閱「台灣半導體研究中心」前瞻晶片製作申請須知與說明；本須知與說明內容涵蓋部分負擔、速審部分負擔、新進教師優惠、優良晶片優惠等類型之晶片，統稱為前瞻性晶片。

新進教師優惠、優良晶片優惠等晶片製作之計費與額度相關說明請參考第八項計費說明；請使用者於申請晶片製作時選擇正確之晶片類型，以避免發生計費相關的問題。

晶片製作相關訊息公佈於 [本中心首頁>最新公告](#)，敬請參閱。

一、晶片製作申請資格：

國內學術界各大專院校教師經由本中心取得製程技術資料使用資格後，教師或所指導之學生即可提出相關的晶片製作申請。

二、製程技術資料與晶片製作申請方法：

1. 請使用者先成為本中心之會員：

申請加入會員之網址如下：<http://www.tsri.org.tw/login/login.jsp>

2. 完成製程技術資料申請及授權：

請**教師**於完成會員登入後(<http://www.tsri.org.tw/login/login.jsp>)，進入製程/矽智財申請網頁

([http://www.tsri.org.tw/fab\\_services/index.jsp?menu=apply](http://www.tsri.org.tw/fab_services/index.jsp?menu=apply) 或是 [本中心首頁>晶片製作>製程/矽智財申請](#))，進行製程/矽智財申請。

3. 申請晶片製作前，請使用者預先傳送以下資料至本中心：

1) 智慧財產權切結書

一位教師一年度繳交一份智財權切結書，當年度之智慧財產權切結書可由 <https://www.tsri.org.tw/CommonUtilServlet?type=2.84&file=chipserviced1s1a1know.pdf> 下載，敬請各位教授於完成文件填寫及簽名用印後，將文件之掃描檔案（PDF格式或圖片檔格式）以電子郵件寄至 [cisd\\_prouser@narlabs.org.tw](mailto:cisd_prouser@narlabs.org.tw)。

2) 新進教師資格徵詢函

服務未滿兩年之新進教師每年度享有通過審查之下線晶片不超過7顆且總金額不超過50萬元(依學界自費計價)的優惠服務，即以100%記帳方式處理，無另收費。

符合新進教師資格者，請填寫證明表單「新進教師資格徵詢函」（下載網址：[http://www.tsri.org.tw/soc/pdf/new\\_professor.pdf](http://www.tsri.org.tw/soc/pdf/new_professor.pdf)），蓋系所章並掃描成電子檔，以電子郵件傳送至 [cisd\\_prouser@narlabs.org.tw](mailto:cisd_prouser@narlabs.org.tw)。

4. 晶片製作申請三步驟：

請使用者於**申請截止日 14:00 前**完成下列步驟、逾期者恕不受理；速審部分負擔晶片請於**申請截止日 23:59 前**完成。

請使用者進入以下網頁[http://www.tsri.org.tw/fab\\_services/index.jsp?menu=AET](http://www.tsri.org.tw/fab_services/index.jsp?menu=AET) 或是 [本中心首頁>晶片製作>下線導引](#)，參閱同一網頁之「[下線申請相關注意事項](#)」文件，該文件內容包含各製程相關注意事項及常見之申請不受理的原因等，有助於使用者順利完成晶片製作申請，敬請詳加利用！

**(步驟一) 填寫晶片製作申請表：**

使用者完成會員登入後(<http://www.tsri.org.tw/login/login.jsp>)，進入網頁[本中心首頁>晶片製作>下線申請>下線新申請](#)，選擇正確之製程梯次與晶片種類，並完成填寫晶片製作申請表。

註1：設計電路所屬類別：

申請表中有關「晶片資料」欄裡的「設計電路所屬類別」選項部份，請申請者務必勾選正確，本中心將遵照所勾選類別安排同類別審查委員評審；若是類別未勾選或勾選錯誤而造成評分成績不理想，將請申請者自負其責，本中心概不受理後續重審要求，以避免影響下線時程。

註2：科技部研究計劃：

申請表中需填寫相關科技部研究計劃名稱及編號，若無相關計劃者請寫“無”，但晶片下線安排優先順序較低（與同評審結果等第與同加總積點之申請案比較）。

### (步驟二) 上傳檔案資料：

使用者完成會員登入後，進入網頁本中心首頁>晶片實作>下線申請>下線申請總表，於申請截止時間前，透過網頁上傳以下檔案，檔案不完整之申請案恕不受理。

- [1] 設計內容電子檔(副檔名限制為\*.doc)
- [2] 佈局圖檔(GDS 格式)
- [3] DRC 驗證結果檔
- [4] LVS 驗證結果檔
- [5] Tapeout Review Form

設計內容電子檔之內容如下：

- [1]設計者姓名及聯絡電話.[2]專題名稱.[3]最近三次下線紀錄.[4]全新設計或改版說明.
- [5]相關研究發展現況.[6]研究動機.[7]架構簡介.[8]設計流程.[9]模擬結果.[10]量測考量.
- [11]佈局驗證結果錯誤說明.[12]佈局平面圖.[13]打線圖.[14]預計規格列表.[15]文獻比較表.
- [16]參考文獻。

註1：設計內容電子檔的容量以5MB為限、總頁數盡量控制在30頁以內、圖檔以gif為佳。

註2：設計內容電子檔內[4]全新設計或改版說明項目須對所申請之設計案用以下三種分類進行選擇並做相關說明：

- (1)設計者全新設計；(2)修改設計者過去已經完成之設計；(3)採用他人設計，進行改善；
- 若此設計屬於(1)設計者全新設計，不是對已存在之設計進行改版，請於[4]全新設計或改版說明項目註明“此案件為設計者全新設計”；
- 若此設計屬於(2)修改設計者過去已經完成之設計或(3)採用他人設計，進行改善，請於[4]全新設計或改版說明項目註明“此案件為修改設計者過去已經完成之設計”或“此案件為採用他人設計，進行改善”，並說明為何需要進行改版下線，過去下線版本的規格與量測結果，以及說明此次改版的內容有哪些、改善了哪些規格……等資訊(若之前版本量測結果非正常動作，則需分析探討晶片不能正常動作的原因)以利於審查時爭取較好之成績。

註3：設計內容電子檔內[9]模擬結果.[14]預計規格列表；都需附上 Pre-Layout Simulation 與 Post-Layout Simulation 比較圖表，[14]預計規格列表尚需要列出各項規格可參考設計內容範例，請務必遵守，否則申請案將不予受理。

註4：設計內容電子檔內[12]佈局平面圖與其他項目內可不附上佈局面積大小之資訊，請使用者自行選擇是否於設計內容中提供設計案面積資訊；請使用者注意，因各梯次整體下線之面積資源、佈局排列與切割方法限制，使用者所取得的晶片大小不會與使用者所繪製之佈局面積大小相同。

### (步驟三) 檢查上傳資料完整與確認送出申請：

- (1) 使用者完成會員登入後，進入網頁本中心首頁>晶片實作>下線申請>下線申請總表，點擊申請案之佈局圖檔資訊欄位按鈕，查看佈局圖檔資訊與 DRC 驗證結果。
  - (2) 請確認申請表是否完整、上傳之檔案是否完整、佈局圖檔資訊與 DRC 結果是否正確，若無疑問請於申請截止時間前至下線申請總表，按下確認送出欄位下之“送出”按鈕，以完成申請。
5. 使用者收到晶片後，請上傳晶片測試報告，詳細說明請見注意事項第13點。

### 三、製程代號與說明

製程代號	製程說明
TN16FFC	TSMC 16 nm CMOS LOGIC FinFET Compact (Shrink) LL ELK Cu 1P13M 0.8&1.8V
TN28HPCplu	TSMC 28 nm CMOS RF High Performance Compact Mobile Computing Plus (HPC+) ELK Cu 1P10M 0.9&1.8V
TN40G	TSMC 45 nm CMOS LOGIC General Purpose Superb (40G) ELK Cu 1P10M 0.9/2.5V
TN90GUTM	TSMC 90 nm CMOS Mixed Signal MS General Purpose Standard Process LowK Cu 1P9M 1.0&3.3V (With UTM)
T18	TSMC 0.18 um CMOS Mixed Signal RF General Purpose MiM FSG Al 1P6M 1.8&3.3V
U18	UMC 0.18 um Mixed-Mode and RFCMOS 1.8V/3.3V 1P6M Metal Metal Capacitor Process
U18MEMS	UMC 0.18um CMOS and MEMS Process
D35	TSMC 0.35 um Mixed-Signal 2P4M Polycide 3.3/5V
Multi-option-MEMS	TSMC 0.35um CMOS Process and APM MEMS Process wi/wo Gold
SiGe18	TSMC 0.18 um BICMOS Mixed Signal SiGe General Purpose Standard Process FSG Al 3P6M 1.8&3.3V
P15	WIN 0.15 um PHEMT
GaN12	WIN 0.12um RF High Power GaN-on-SiC HEMT Technology
T18HVG2	TSMC 0.18um CMOS HIGH VOLTAGE MIXED SIGNAL BASED GENERATION II BCD 1P6M SALICIDE AL_FSG 1.8/5/6/7/8/12/16/20/24/29/36/45/55/65/70V/VG1.8 /5V AND 5/6/7/8/12/16/20/24/29/36/45/55/65/70V/VG5V
IMEC-SiPh (iSiPP50G)	imec-ePIXfab SiPhotonics: iSiPP50G
IMEC-SiPh (Passives+)	imec-ePIXfab SiPhotonics: passives+
T50GaN	TSMC 0.50 UM GAN WBG E-HEMT USG AL 0P3M HKMG 650V

### 四、注意事項：

1. 前瞻性晶片製作目的：  
以申請專利及發表論文為原則。
2. 前瞻性晶片製作之作業流程：  
詳見本中心首頁>晶片實作>下線導引之「前瞻性晶片製作申請及審查流程」文件。
3. 晶片製作業務承辦人：  
若您有申請或技術方面的問題，請隨時聯絡相關業務承辦人，詳見網頁 本中心首頁>晶片實作>連絡窗口。
4. 申請資料更新、補送或退回：  
為免審查作業不及，申請截止日後，不再接受申請資料更新或補送，申請人所繳交資料不全者將不予受理。申請人請務必於送出申請案前仔細檢查所需之申請資料。未受理之申請案將不退回。
5. 本中心成果會議：  
使用本中心所提供的製程製作品片(免費與部分負擔收費製作)之申請人，對於本中心舉辦之成果會議將有出席與報告之義務。
6. 加總積點 (Total Credit)：  
加總積點=晶片積點+服務積點 + 新教授積點
  - 1) 晶片積點 (Chip Credit) = (近3年論文數) / (近2年晶片數);  
論文數計算: Journal-Paper(國內外)\*2、 Conference-Paper(國內外)\*1、 Patent(國內外)\*1、 技術移轉(國內外)\*1。  
本年度仍以促進論文發表為主，僅區分 Journal 與 Conference 其領域之差別，未來將持續加入不同類別論文的比重以導向高水準之研究與高品質論文發表。  
註：近2年晶片數為不包含當年度之前2年度晶片數。

- 2) 服務積點 (Service Credit) :
- 學校教授如擔任晶片製作審查委員，負責書面審及出席審查會則另計服務積點。  
服務積點 = (前一年度審查會出席次數+書面審次數) \* 0.02  
註：服務積點最高為 0.2。
- 3) 新教授積點：
- 近 3 年下線晶片數目小於等於 3 顆者，皆視為新教授，加總積點一律加 0.2。
- 4) 「加總積點」的用途：
- 當晶片評定為同等級時，晶片製做依照加總積點高者優先排序。
7. 對本中心的 Acknowledgement：
- 使用本中心所提供製程製作晶片而發表之論文，論文中應提及本中心，並於中心網頁[本中心首頁](#)>[晶片製作](#)>[加總積點](#)>[績效填報\(論文登錄\)](#)功能進行論文發表登錄，以更新加總積點資料，請教授隨時至本中心網頁進行論文資料更新。
- Acknowledgement 的內容可參考範例：
- 範例 1：This research was supported in part by \_\_\_\_\_ services from Taiwan Semiconductor Research Institute (TSRI), Taiwan, R. O. C.
- 範例 2：The authors would like to acknowledge chip fabrication support provided by Taiwan Semiconductor Research Institute (TSRI), Taiwan, R. O. C.
8. Multi-option-MEMS：
- 製程晶片製作申請辦法同D35製程之晶片。因Multi-option-MEMS製程晶片的晶圓須進行後製程處理，約需時11週。
9. P15與GaN12製程前瞻性晶片面積限制：
- 1mm\*1mm / 1mm\*2mm / 1.5mm\*1mm / 1.5mm\*2mm / 2mm\*1mm /  
2mm\*2mm / 2.5mm\*1mm / 2.5mm\*2mm / 3mm\*1mm / 3mm\*2mm / 3mm\*3mm / 3mm\*4mm，其餘面積概不受理。
10. IMEC-SiPh (iSiPP50G)製程晶片面積限制：
- 下線允許設計使用面積包含2.5×2.5 mm<sup>2</sup>、2.5×5.15 mm<sup>2</sup>，請擇一做設計使用(整體開放狀況會依可使用面積做調整)。
11. IMEC-SiPh (Passives+)製程晶片面積限制：
- 下線允許設計使用面積包含5.15×2.5 mm<sup>2</sup>、5.15×5.15 mm<sup>2</sup>，請擇一做設計使用(整體開放狀況會依可使用面積做調整)。
12. 晶片數目：
- 經本中心安排製作之晶片，無包裝需求之晶片可得18顆未包裝的晶片，有包裝需求之晶片可得8顆包裝及10顆未包裝的晶片。選用IMEC-SiPh製程可取得約10顆未包裝的晶片(實際數量依設計面積及製程廠交貨而定)。
13. 使用者收到晶片後，請上傳晶片測試報告：
- 1) 上傳測試報告方法：
- 使用者於收到(包裝好之)晶片二個月內需完成晶片測試，並上傳該晶片之測試報告及中英文摘要之電子檔，本中心擁有此報告與摘要之使用權；使用者完成會員登入後，請進入以下網頁完成測試報告上傳：[本中心首頁](#)>[晶片實作](#)>[測試報告](#)。
- 2) 測試報告延遲上傳影響：
- 晶片設計者延遲上傳任何一篇測試報告，或指導教授名下合計延遲上傳前瞻性晶片(含測試元件)測試報告三篇，則恕不再受理設計者或指導教授之學生前瞻性晶片之製作申請；使用者可至本中心網頁 [本中心首頁](#)>[晶片實作](#)>[測試報告](#) 查詢測試報告缺件狀態。
14. 沒有固定晶片面積，且需經審查之前瞻性晶片或教育性晶片，每件申請案對應一件設計與一件佈局圖檔；該申請案之佈局圖檔內僅能包含一個電路，不接受佈局圖檔內包含相互比較效能的電路組，或比

較功能的電路組，或數個獨立的電路等晶片製作申請。

#### 五、前瞻性晶片製作案審查方式說明如下：

速審部分負擔晶片採用本中心內部審查，速審部分負擔晶片案件受理後比照教育性晶片進行快速審查，通過之案件成績將自動評定為C等第(勉予推薦)。可採用速審部分負擔的製程如下：

1) 使用D35、T18、U18、T18HVG2或T50GaN製程之晶片。

部分負擔、新進教師優惠等二類晶片可選擇書面審查或參加審查會；各項審查方式說明如下：

##### 1. 書面審查：

各製程符合以下條件者可選擇書面審查方式：

1)使用TN90GUTM製程晶片面積  $< 1 \text{ (mm}^2\text{)}$  之申請案。

2)使用T18、U18、D35、SiGe18、T18HVG2、P15、GaN12、IMEC-SiPh或T50GaN製程之申請案僅提供書面審查機制。

本中心將以E-mail寄送申請人繳交之「申請書電子檔」予審查委員審查(因只作一次單向審查，無往返討論與諮詢機會，故所繳交設計資料務必周詳)。

##### 2. 參加審查會：

符合以下1)或2)項者參加審查會：

1) 不符合書面審及免審查申請條件，或自願參加審查會者。

2) 使用 TN16FFC、TN28HPCplu 或 TN40G 製程且不屬於免審查分類之前瞻性晶片申請案全部參加審查會。

3) 使用 T18、U18、D35、SiGe18、T18HVG2、P15、GaN12、IMEC-SiPh 或 T50GaN 製程者，不提供審查會審查機制。

為維持審查會之公平，敬請出席審查會報告的設計者於審查會場配合完成身分確認作業；請出席審查會的設計者攜帶兩張附有照片之個人證件，其中一張用於換證進入本中心大樓，另一張用於報告前與會場工作人員進行身分確認。

#### 六、審查等第評定及晶片製作優先權：

##### 1. 前瞻性晶片製作之優先權排序如下：

1) 審查後評定為 A 等第(極力推薦)之晶片製作案；

2) 審查後評定為 B 等第(推薦)之晶片製作案，同等第之晶片先依照加總積點高者優先排序，再依排列完 A 等第晶片後剩餘之可得面積，決定晶片是否可排入製作；

3) 審查後評定為 C 等第(勉予推薦)之晶片製作案與速審部分負擔晶片製作案，同等第之晶片先依照加總積點高者優先排序，再依排列完 A、B 等第之晶片後剩餘之可得面積，決定晶片是否可排入製作；

4) 審查後評定為 D 等第(視晶圓剩餘面積資源下線)之晶片製作案，同等第之晶片先依照加總積點高者優先排序，再依排列完 A,B,C 等第晶片及教育性晶片後剩餘之可得面積，決定晶片是否可排入製作；同等第之晶片製作案，依照加總積點高者優先排序；對於使用 shuttle 方式進行製作之製程，為避免部份教師因指導專題製作案眾多而排擠到其他教師所指導專題製作案之下線機會，本中心將於前瞻性晶片審查結果公佈後，對於同一位教師所指導之專題製作案，相同等第之製作案件以一輪優先排列三類方式並依照教授之加總積點高者優先排序，為達資源最佳利用，對於指導專題數較多之教師亦提供第二輪、第三輪、.....之下線安排，直至可用面積用盡或所有可進行晶片製作之前瞻性晶片皆排入為止，每一位教師並無下線顆數之限制；審查後評定為 F 等第之晶片恕不提供晶片製作服務。

##### 2. 前瞻性晶片審查後晶片修改原則：

1) 無論前瞻性晶片評定為何種等級(A,B,C,D)，均須依照所有委員之評審意見(含修改/建議)作回覆(修改或說明)。

2) 若委員建議修改佈局，新佈局的長寬皆不可比原佈局長，違者不予採用已修改之新佈局檔案。

##### 3. 晶片下線安排：

晶片下線依上述排序標準安排製作(等級評定為 A, B, C, D 之晶片，本中心具彈性下線調整權)，至該

梯次面積用完為止，本中心隨後將公佈下線資料，未能安排製作之晶片，無論評定等級為何，不予保留至下梯次製作。

#### 七、訊息公告:

本中心將於申請截止並審核處理完後，以 E-mail 及於網站公告不受理、受理、免審與書面審之申請案，本中心並將於審查會議當週之週四於網頁公告周知需參加審查會審查之申請案。**審查結果內應審查委員要求需進行設計修改之晶片製作申請案(不論評定為何等級)，須於審查意見回覆截止前(實際時程請參考本中心網站「即時訊息」中「審查結果報告」)完成設計修改，以便進行晶片製作，逾期者恕不予進行晶片製作。**

#### 八、計費說明：

●為了維護所有使用者的權益，使珍貴的晶片製作資源審慎被利用，部分負擔晶片與速審部分負擔晶片之收費將依照實際使用面積與包裝計算所需部分負擔之現金。學界自費優惠：依公告定價之 80% 收費，即公告定價 x 80%。學界**部分負擔優惠**：依學界自費之 10% 收費，即公告定價 x 80% x 10%。

部分負擔付款相關事項，請參考本中心晶片系統「收費標準」網頁之「學界部分負擔付款須知與說明」，「收費標準」網頁網址：[https://www.tsri.org.tw/custservice/chip\\_charges.jsp](https://www.tsri.org.tw/custservice/chip_charges.jsp)；

收費方式與付款須知與說明敬請參考晶片系統收費標準網頁：[https://www.tsri.org.tw/custservice/chip\\_charges.jsp](https://www.tsri.org.tw/custservice/chip_charges.jsp)。

●**優良晶片優惠**：符合優良晶片獲獎資格之教授，於當年度 8 月 1 日起至隔年度 7 月 31 日止享有以下額度之下線晶片以 100% 記帳之晶片製作優惠服務，且以下列額度所申請之晶片製作優先權，等同於經過評定為 A 類(極力推薦)之晶片製作優先權。

1. 特別獎/ISSCC 論文—依學界自費計價總額為 100 萬元，總顆數上限為 14 顆之晶片製作服務。
2. 特優獎—依學界自費計價總額為 40 萬元，總顆數上限為 7 顆之晶片製作服務。
3. 優等獎—依學界自費計價總額為 20 萬元，總顆數上限為 4 顆之晶片製作服務。

使用「優良晶片優惠」之下線申請，必須全額以優良晶片優惠額度付費；若遇餘額度不足支應單案(顆)製作費用時，處理方式如下：

以「優良晶片」提出晶片製作申請，依學界自費計算總額，系統將自動扣除剩餘之優良晶片優惠額度，其餘費用以學界部份負擔計價。

所有以「優良晶片」提出晶片製作申請均需繳交測試報告。

**優良晶片同一教授下之設計者(含共同設計者)每位學生可使用額度以 15 萬元上限，二名學生上限為 30 萬，以此類推。**

●**新進教師優惠**：服務未滿兩年之新進教師每年度享有通過審查之下線晶片不超過 7 顆且總金額不超過 50 萬元(依學界自費計價)的優惠服務，即以 100% 記帳方式處理，無另收費。

符合新進教師資格者，請於第一次晶片製作申請前，填寫證明表單「新進教師資格徵詢函」(下載網址：[http://www.tsri.org.tw/soc/pdf/new\\_professor.pdf](http://www.tsri.org.tw/soc/pdf/new_professor.pdf))，蓋系所章並掃描成電子檔後，以電子郵件傳送至 [cisd\\_prouser@narlabs.org.tw](mailto:cisd_prouser@narlabs.org.tw)。

1. 晶片製作 — 小面積

製程代號	單價 (NTD/mm <sup>2</sup> )
TN16FFC	請參閱本中心晶片系統「收費標準」網頁之「對外服務收費方式與說明」，「收費標準」網頁網址： <a href="https://www.tsri.org.tw/custservice/chip_charges.jsp">https://www.tsri.org.tw/custservice/chip_charges.jsp</a>
TN28HPCplu	
TN40G	
TN90GUTM	
T18	
U18	
U18MEMS	
D35	
Multi-option-MEMS	
SiGe18	
P15	
GaN12	
T18HVG2	
IMEC-SiPh (iSiPP50G)	
IMEC-SiPh (Passives+)	
T50GaN	

2. 晶片製作 — 大面積(1 Block)

製程代號	單價 (元/block)	備註
TN16FFC	請參閱本中心晶片系統「收費標準」網頁之「對外服務收費方式與說明」，「收費標準」網頁網址： <a href="https://www.tsri.org.tw/custservice/chip_charges.jsp">https://www.tsri.org.tw/custservice/chip_charges.jsp</a>	MPW, Block = ( 4 mm <sup>2</sup> )
TN28HPCplu		MPW, Block = ( 6 mm <sup>2</sup> )
TN40G		MPW, Block = ( 9 mm <sup>2</sup> )
TN90GUTM		MPW, Block= ( 16mm <sup>2</sup> )
T18		Full Wafer, Block= ( 25mm <sup>2</sup> )
U18		Full Wafer, Block= ( 25mm <sup>2</sup> )
U18MEMS		Full Wafer, Block= ( 25mm <sup>2</sup> )
D35		Full Wafer, Block= ( 25mm <sup>2</sup> )
Multi-option-MEMS		Full Wafer, Block= ( 25mm <sup>2</sup> )
SiGe18		MPW, Block= ( 25mm <sup>2</sup> )
T18HVG2		MPW, Block = ( 25 mm <sup>2</sup> )
IMEC-SiPh (iSiPP50G)		1 minblock= 6.25mm <sup>2</sup>
IMEC-SiPh (Passives+)		MPW, Half Block= 12.875mm <sup>2</sup>
IMEC-SiPh (Passives+)		MPW, Block= 26.5225mm <sup>2</sup>

3. 晶片包裝

包裝單價為每顆包裝之價格，經本中心安排製作需要包裝之晶片可得 8 顆包裝的晶片

種類	單價(NTD/顆)
S/B-18	請參閱本中心晶片系統「收費標準」網頁之「對外服務收費方式與說明」，「收費標準」網頁網址： <a href="https://www.tsri.org.tw/custservice/chip_charges.jsp">https://www.tsri.org.tw/custservice/chip_charges.jsp</a>
S/B-24	
S/B-28	
S/B-32	
S/B-40	
S/B-48	
CQFJ-68	
CQFJ-84	
CQFP-100	
CQFP-128	
CQFP-144	
CQFP-160	
CQFP-208	