

# 111 年度 IPD 基板製程服務說明

本文件為 111 年度 IPD 基板製程服務說明，提供使用者 IPD 基板製程資訊與注意事項，IPD 基板製程服務依照台灣半導體研究中心網頁-晶片製作相關辦法實施。

## 一、基板製程代號、基板製程說明與年度梯次數:

基板製程代號	基板製程說明	111 年梯次數
WIPD	WIN Integrated Passive Device	2

## 二、製作時程表:

梯次	開放申請	教育晶片申請截止	前瞻晶片申請截止	前瞻速審申請截止	學術界自費申請截止	審查會議	第一階段簽認截止	Chip Out	測試報告繳交期限
WIPD-111A	111.2.7	X	111.2.14	X	111.2.21	無面審	111.3.2	111.6.6	111.8.11
WIPD-111B	111.7.25	X	111.8.1	X	111.8.8	無面審	111.8.17	111.11.21	112.1.27

## 三、製作單位定價:

基板製程	單價 (元/mm <sup>2</sup> )
WIPD	9,300

收費方式請參閱本中心晶片製作「收費標準」網頁之「對外服務收費方式與說明」,「收費標準」網頁

網址: [https://www.tsri.org.tw/custservice/chip\\_charges.jsp](https://www.tsri.org.tw/custservice/chip_charges.jsp)

## 四、注意事項:

### IPD 基板製程

1. GIPD 基板製程已停止服務，將以 WIPD 基板製程持續提供 IPD 製作服務。
2. 請將切割道加入佈局中，並確認切割道寬度應為 50um，本規範等於可佈局範圍為切割道包圍之

區域內部，目的為用以保留晶片切割道；切割道左下角需對準原點(0,0)，且晶片整體佈局應座落在第一象限，以切割道中心對中心的尺寸大小計算下必須符合下述之固定面積限制。

3. WIPD 基板製程下線面積限制 (以佈局內切割道中心對中心之距離定義以下固定面積，共計 19 種，其餘面積大小概不受理)：

1mm\*1mm / 1mm\*1.5mm / 1mm\*2mm / 1mm\*2.5mm /

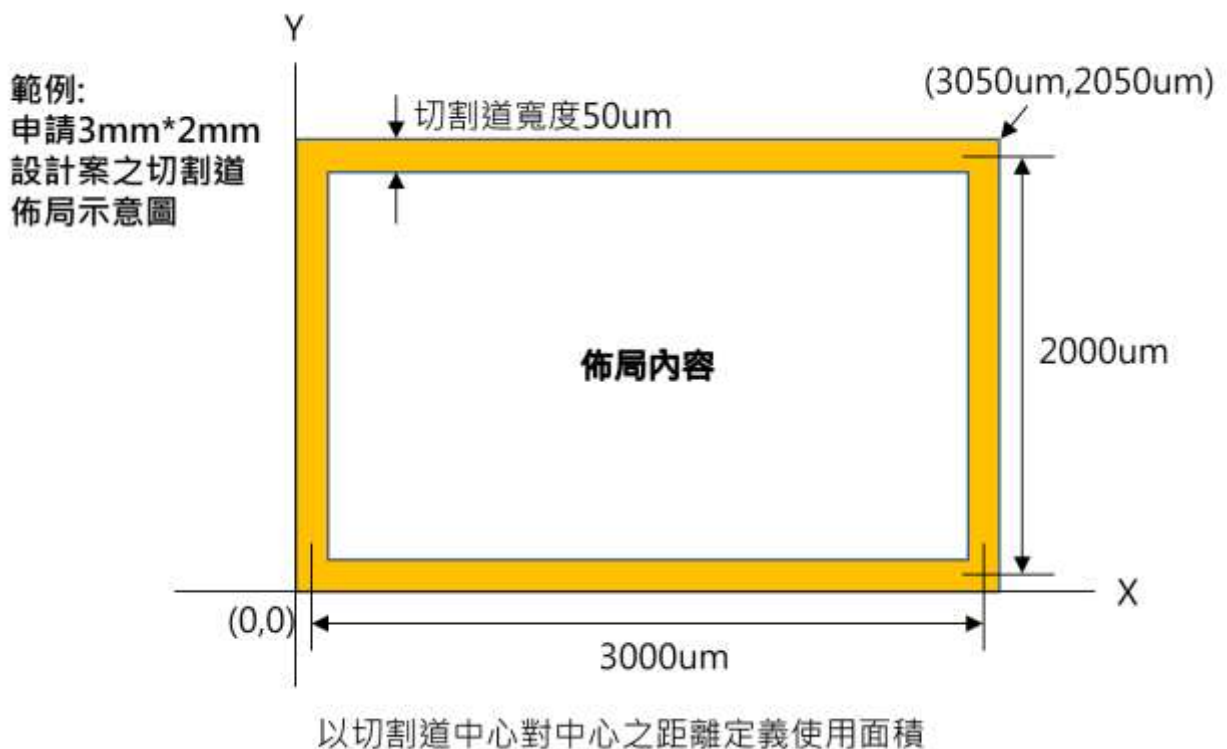
1.5mm\*1.5mm / 1.5mm\*2mm / 1.5mm\*2.5mm / 1.5mm\*3mm /

2mm\*2mm / 2mm\*2.5mm / 2mm\*3mm / 2mm\*4mm / 2mm\*5mm /

3mm\*3mm / 3mm\*4mm / 3mm\*5mm /

4mm\*4mm / 4mm\*5mm /

5mm\*5mm。



4. 為確保正確輸出佈局圖檔(GDS File)，建議儘可能利用佈局設計軟體 Cadence Virtuoso Layout Editor 來進行電路佈局繪製。

5. WIPD 基板製程之 PDK 支援 ADS 與 MWO 電路設計軟體，於佈局時雖可使用前述兩種軟體內建之功能進行簡易 DRC ( 設計規則 ) 驗證，但是此方式無法完成完整的規則檢驗，僅能檢查部分的佈局規則，因此請使用者務必於下線申請前完成 Cadence Assura DRC 驗證程序(建議之相關參數設定方式請參閱中心網頁晶片製作→技術資料下載→技術文件「Assura\_Setting\_20180321.pdf」，技術資料下載網頁連結 <https://cs.tsri.narl.org.tw/Security/Login.aspx>) ; 為順利銜接晶圓製程廠之驗證程序，設計規則驗證只接受 Assura DRC 之驗證結果。

### 覆晶封裝

1. 使用者可以以不同種類/梯次的前端製程晶片搭配 IPD 製程基板申請自費覆晶封裝服務，若您遇有設計問題，請聯繫業務承辦人取得協助。

業務承辦人：

單晶片整合技術組 林大業博士 · 電話：03-5773693 轉 7212 · E-mail：[tylin@narlabs.org.tw](mailto:tylin@narlabs.org.tw)。