


軟體申請與使用常見問題表

EDA Cloud 相關問題

1.	[申請] 一個計畫可以申請多個製程嗎?
	一個帳號群組僅能申請一個製程，一位老師依製程群組類別 T18、TN90GUTM、D35、SiGe18 可申請四個帳號群組，製程群組類別:T25HVG2、TN40G、T50UHV，可申請二個帳號群組，每個帳號群組最多 10 位學生，每個帳號群組之學生名額無法挪給其他帳號群組使用，另外，同一個學生可申請多個帳號群組，若為共同指導的學生，請以有通過製程申請授權的教授為主要申請人。
2.	[申請] 計畫名稱一定要科技部計畫嗎?
	計畫名稱不限定為科技部計畫名稱，專題名稱或設計案名稱皆可，此名稱僅為申請 EDA Cloud 使用權，與晶片下線申請無關。
3.	[申請] 如何申請教育性晶片的帳號?
	教育性帳號需填寫 EDA Cloud 課程用途使用申請表後，寄至指定的電子郵件信箱。
4.	[申請] MAC Address 及 IP Address 是指什麼?
	教授及使用者個人電腦的 MAC Address 及 IP Address，取得方式請至中心官網首頁點選 EDA Cloud，標題相關表格與文件，詳閱 IP Address 與 MAC Address 取得說明。
5.	[申請] 若中途要變更計畫名稱及使用者是否可以作修改?
	可以修改，一般用途計畫名稱或使用者異動可以透過 EDA Cloud 電子化系統進行修改，課程及計畫類型仍透過人工作業進行申請。
6.	[申請] EDA 軟體到期後需要重新申請嗎?
	軟體到期後每年皆需重新申請，以保有於 EDA Cloud 以及實驗室之軟體使用權。
7.	[申請] 軟體合約書的部分，學生是否也需要簽名?還是只要老師填寫就可以?
	軟體合約僅需老師填寫後簽名即可。
8.	[申請] EDA Cloud 軟體使用期限是多久?
	EDA Cloud 使用期限為申請核可日到當年度年底，每年年底搭配製程申請作業，重新申請或保留未執行完之計畫帳號，EDA Cloud 軟體使用權限也是到當年度年底。
9.	[申請] EDA Cloud 的計畫名稱、E-mail 及 IP 位置與晶片下線、會員帳號及製程申請是否有關聯?
	EDA Cloud 使用電子化申請系統之計畫名稱、E-mail、IP 位置與晶片下線、會員帳號及製程申請皆無相關(不需要一致)，此電子化申請系統僅為 EDA 使用之權限申請。
10.	[申請] 老師可否不填寫 MAC 及 IP 位置?
	老師若不填寫將無法登入 EDA Cloud 進行晶片設計。
11.	[申請] 如何申請與填寫 EDA Cloud 帳號所提供的服務?
	目前中心一般用途帳號由電子化系統提出申請與填寫，但課程用途與非一般用途帳號仍然透過紙本申請作業流程進行，詳細資訊可參考中心官網 EDA Cloud。
12.	[申請] EDA Cloud 申請填寫需要注意的流程及事項有那些?
	<ol style="list-style-type: none">1. 申請 EDA Cloud 帳號的姓名欄位必需為中文，否則將造成無法登入的情況。2. 申請 EDA Cloud 帳號如電子郵件、IP Address、MAC 有誤將造成 OTP 無法取得。

	<p>3. 製程未通過將無法透過 EDA Cloud 電子化進行申請 EDA Cloud 帳號作業。</p> <p>4. 軟體申請未通過將無法使用 EDA Cloud 服務，帳號使用權限需要製程與軟體都通過申請。</p>
13.	<p>[申請] EDA Cloud 帳號電子化申請流程系統的代理權最多可設定幾個代理人?</p> <p>若教授同意授權給已認證的學生會員管理 EDA Cloud 帳號，建議授權研究團隊成員二位為主要代理人，最多可設定研究團成員全部皆為代理人但不建議授權太多學生。</p>
14.	<p>[申請] EDA Cloud 帳號電子化系統申請後，新帳號是教授研究團隊成員都會收到嗎?</p> <p>新帳號只有寄給申請的代理人與教授，不是所有教授研究團隊成員都會收到，請代理人或教授轉知團隊成員。</p>
15.	<p>[申請]申請使用矽智財，資料存放位置與路徑為何?查不到矽智財資料應如何諮詢?</p> <p>教授研究團隊申請矽智財後，將會由承辦人員通知至專屬網站進行下載，如有下載矽智財的相關問題，請透過客戶諮詢系統進行諮詢。</p>
16.	<p>[使用] 帳號資料與檔案可以共享或資料互傳嗎?</p> <p>同一個帳號群組的使用者檔案資料可以共享，而非同一帳號群組的使用者須透過內部的 FTP 進行資料傳送。但由於目前 EDA Cloud 資料中心位於不同的位置點，帳號開頭 pa 至 po 為第一資料中心，pp 至 pw 為第二資料中心，如需於兩個資料中心資料傳送請於客戶諮詢系統提出申請。</p>
17.	<p>[使用] 是否有晶片下線數量的限制?</p> <p>每個計畫於每個下線梯次，有產出一顆晶片的限制條件。</p>
18.	<p>[使用] EDA Cloud 有 MATLAB 這套軟體或相同功用的軟體嗎?</p> <p>中心目前已提供 Matlab 與 Octave 兩種軟體提供有需求的教授研究團隊使用。</p>
19.	<p>[使用] 透過 EDA Cloud 下線該如何繳交 gds?</p> <p>目前 EDA Cloud 與下線系統介接的環境可繳 GDS 設計檔，請參考中心 EDA Cloud 網站有關 EDA Cloud 內上傳晶片製作檔案使用說明。</p>
20.	<p>[使用] IP MAC 是鎖定登入 One Time Password(OTP)的網頁還是登入 EDA Cloud ?</p> <p>One Time Password(OTP)網站會檢查使用申請單上填寫的 IP 與 MAC address，EDA Cloud 則會檢查登入的 IP。</p>
21.	<p>[使用]EDA Cloud 開啟 Firefox 瀏覽器出現如下圖示訊息，需要如何進行處理?</p> <div style="display: flex; align-items: flex-start;"> <div style="flex: 1; padding-right: 10px;"> <p>Firefox 瀏覽器發生異常服務的情況，透過指令刪除帳號內 Firefox 隱藏組態與記錄設定檔，指令：<code>rm -rf ~/.mozilla</code> 如仍然無法開啟，煩請透過本中心客戶諮詢系統提出相關問題。</p> </div> <div style="flex: 1;">  </div> </div>
22.	<p>[使用] EDA Cloud 目前每位教授研究團隊有硬碟空間限制?</p> <p>每位教授研究團隊硬碟空間 200G，不含後台模擬使用空間，團隊成員可透過 <code>gquota</code> 指令瞭解成員硬碟使用量現況，藉由指令：<code>df -h grep project</code> 瞭解團隊 200G 硬碟空間使用百分比現況，硬碟空間為整個團隊共用，故請研究團隊成員定期刪除不需要的資料，含個人資源回收筒資料都需進行刪除，避免發生硬碟空間不足。</p>

23.	[使用] EDA Cloud 進行設計模擬一直停留在 Pending JOB 的情況？
	後台運算模擬提供共享固定與動態的運算資源配置，如運算資源達滿載時則 JOB 會暫時 Pending，並依各研究團隊及個人模擬數量與資源進行優先權重調整。
24.	[使用] EDA Cloud FTP 上傳資料如何進行刪除？
	使用者目前無法進行刪除的動作，目前上傳資料會保留 24 小時，超過 24 小時將自動進行刪除，因此 24 小時內重複檔案名稱將無法上傳，請異動檔案名稱，以利進行再次資料上傳。
25.	[使用] 取得密碼使用 FileZilla 登入 FTP，確出現了錯誤訊息的原因？
	<ol style="list-style-type: none"> 1. 使用 FileZilla 時，連接埠請不要輸入任何的資料，否則將會無法登入。 2. 取得 OTP 密碼時，請注意不要複製到冒號或空白後貼至 FileZilla 密碼欄。 3. 電子郵寄寄發帳號至教授或代理申請的信箱時，提到如下的資訊： 登入時使用 One-time password(OTP)機制登入，並會檢查申請時填寫的 IP、MAC 位址，首先要到 OTP 網頁申請一組密碼後(以 Email 方式寄達)，用 NX 與此組密碼登入 EDA Cloud，所有的資料將只進不出，檔案伺服器(FTP)網址： (1)帳號開頭 pa 至 po 透過 edaftp.cic.org.tw 入口伺服器匯入。 (2)帳號開頭 pp 至 pw 透過 edaftp.cic.org.tw 入口伺服器匯入。
26.	[使用]如何降低或避免使用 NX Client 無法再次登入或操作的情況發生。
	建議閒置或不使用時能完整登出系統  (圖示)，以避免因電腦休眠或網路異常情況的斷線後，無法再次登入或操作的情況發生。 如登出再登入仍發生異常，請洽詢中心官網「客戶諮詢系統」提出諮詢需求。
27.	[使用]取得 OTP 時，顯示：您目前無法申請 OTP，請洽系統管理者！的情況
	<ol style="list-style-type: none"> 1. 請確定是否通過該年度的製程申請。 2. 請確定是否通過該年度 EDA Cloud 帳號申請。 3. 檢查中心申請的會員帳號姓名與 EDA Cloud 帳號姓名是否相同。 4. 非上述原因請於客戶諮詢系統提出諮詢申請。
28.	[使用] 指導教授退休需將 EDA Cloud 內的資料轉移其它教授下，需要填寫哪些資料？
	透過客戶諮詢系統申請，並需經由雙方教授同意的電子郵件佐證資料及提供使用者搬移帳號的資訊，以利進行說明資料轉移步驟。
29.	[使用]刪除帳號或新年度的申請，帳號內的資料是否會被刪除？
	<ol style="list-style-type: none"> 1. 原則上中心刪除帳號只進行帳號關閉，而承接帳號的同學會繼承全部的資料。 2. 新年度申請繼續使用，在帳號相同情況下，則是延用帳號及使用資料。 3. 相同教授研究團隊下的帳號，則使用者可透過資料夾分享的方式傳送資料。
30.	[使用]使用 NX Client 出現 Cannot initialize the display service 訊息。
	這部份的錯誤初判為個人電腦有關，建議重新安裝 NX(含全部套件)，如果仍然會出現此問題可能需要重新安裝作業系統，作業系統的登入的帳號請以英文與數字為主，另外，建議取得密碼後，依規定有申請通過的 IP 與 MAC，並可正常登入 EDA Cloud 的同學電腦進行登入測試，以驗證是否為個人電腦問題。

軟體申請與設定問題

1.	<p>[Installation] 安裝 Synopsys 的 Design Compiler 的時候，按照 installation_guide_synopsys 上面的步驟安裝，之後再執行 source synthesis.cshrc 啟動軟體時，出現以下的錯誤，請問該如何解決？</p> <pre>[root@MC2 ~]# source /usr/cad/synopsys/CIC/synthesis.cshrc bash: /CIC/snps_platform: 沒有此一檔案或目錄 Platform = bash: /CIC/license.csh: 沒有此一檔案或目錄 bash: setenv : 命令找不到 bash: setenv : 命令找不到 bash: setenv : 命令找不到 bash: /usr/cad/synopsys/CIC/synthesis.cshrc: line 23: syntax error near unexpected token `(' bash: /usr/cad/synopsys/CIC/synthesis.cshrc: line 23: `set path=(/usr/bin/X11 \$SYNTHESIS/\${OS}/syn/bin \$path)'</pre>
	<p>目前貴校安裝的 linux OS 預設工作環境是 bash mode，請轉成 c shell 或是 tc shell 環境即可順利執行。</p>
2.	<p>軟體成功安裝完畢之後，需要將所使用的工作站 IP 作登錄，可是發生了錯誤，當 IP 輸入之後得到”FQDN 檢查失敗，原因可能是反查失敗(從您的 FQDN 找不到 IP)，請檢查您的網路設定”的訊息，想請問是否為 IP 正反查驗證尚未成功</p>
	<p>這組 IP 因為沒有註冊 DNS name，所以無法通過正反查，請反應給貴校的計中或是負責單位，請他們註冊成 edu.tw 結尾的 domain name 這樣就可以作登錄的動作，可利用底下連結：http://checkdns.cc.ntu.edu.tw/index.php，驗證正反查是否正確。</p>
3.	<p>請問的該申請何種製程，用來參加 IC 設計競賽？</p>
	<p>請到 CIC 首頁的 設計服務>軟體申請>Cell Library> Cell-Based Design Kit for IC Contest，下載。</p>
4	<p>[軟體申請]如何申請 CIC 所提供的軟體(以 Xilinx ISE 為範例)?</p>
	<p>A. 申請 CIC 所提供的軟體的步驟如下：(2008 年製作，2013 年重新整理) 首先，請您的指導教授登錄 CIC 官方網頁 http://www.cic.narl.org.tw (若無帳號者請先進行註冊)以下操作需使用老師的權限進行(或可由老師指派學生為代理人後，由該代理人登入進行申請)。</p> <p>B. 登入後，由 CIC 官網首頁點取「設計服務」欄位，找到你所想申請之軟體，比如說 Xilinx ISE 軟體，由該軟體名稱之 hyperlink 點進去，即可進到該軟體的「申請介面」網頁。</p> <p>C. 在「Xilinx ISE 軟體申請介面」中點取「軟體申請」，接著依需求點取「研究用使用者」或「教學用使用者」。作專題研究用途可申請研究用使用者，最多可登錄 10 台電腦來使用該軟體。作授課用途可申請教學用使用者，最多可登錄 50 台電腦來使用</p>

<p>該軟體。</p> <p>D. 接著依介面的提示填寫研究/教學計畫等表格資料後，按「確定」鈕 submit 後需等待 CIC email 通知申請許可後才可進行下一步。</p> <p>E. 此時會收到 CIC email 通知「填寫所需合約文件」，請下載該 email 附加檔案(即合約文件)。列印出後由老師簽名(須蓋系所章)，並依 email 內指示傳真回 CIC (或掃描後 mail 回 CIC 受理窗口)，並請靜待下次 email 通知。</p> <p>F. 當收到 CIC 「通過申請」之 email 後，請再登錄回 CIC 官方網頁，並回到「Xilinx ISE 軟體申請介面」網頁。</p> <p>G. 在「Xilinx ISE 軟體申請介面」中點取「軟體取得」，可下載該軟體安裝檔案。</p> <p>H. 在「Xilins ISE 軟體申請介面」中點取「IP 修改」，並依其申請類別點選「研究用使用者」或「教學用使用者」，接著進到新增 IP 介面處即可將要安裝該軟體的電腦 IP address 填入新增。需注意這些 IP address 須為實體 IP address，並可通過 IP 正反查，其 domain name 須為「.edu.tw」結尾。若有需要可請各校之計算機中心協助 domain name 之設定。</p> <p>I. 約 2 小時後，所設定的電腦應可正常啟動該 EDA 軟體。須注意各電腦在安裝時並應正確設定 license，若有須設定 license 的技術支援，請透過客戶諮詢系統進行諮詢。</p> <p>J. 若軟體還是無法正常使用，請再次透過客戶諮詢系統進行諮詢，尋求進一步的協助。</p>
--

數位設計與流程問題

1.	<p>[Laker & ADP] 在 Laker 環境使用 CIC 虛擬製程執行光罩布局時，又於該製程檔案內缺少諸如 laker mcell 等描述，故無法在光罩布局時使用相關功能，如何重新設定相關設定？</p>
	<p>A. 開啟 Laker 後在 Laker Main Window 視窗，選擇 Library → Technology File → Editor，開啟 Technology File Editor 視窗。</p> <p>B. 選擇 File → Load → File 將 CIC 虛擬製程的 Laker Technology File 導入。</p> <p>C. 選擇 Mgaic Cell 欄位，在 Magic Cell Type 欄位選擇所欲建立的 Magic Cell Type (Ex: Transistor)，並在 Device Type 填入欲建立的 Magic Cell 名字(Ex: NMOS)。</p> <p>D. 在 Layer Definition 欄位選入正確的 Input Layer 層。</p> <p>E. 在 Rule Definition 選擇欲填入的 Rule Name 欄位，再按照 Design Rule 內的相關設定，將相關數值填入。</p> <p>一切設定完畢後，選擇 File → Save → File，將設定後的 Laker Technology File 另存新檔即可。</p>
2.	<p>[Laker & ADP]若 Laker 使用者其所建立的電路 Schematic，是使用 Cadence TSMC018 PDK Library 內的元件，當利用 EDIF200 資料轉移流程至至 Laker L3 時，且欲使用 Laker TSMC018 PDK (tsmc18rf library)的相關 P Device 執行光罩布局，卻出現無法正確元件對應的情況，該如何解決？</p>
	<p>A. 首先請按照 Laker EDIF200 轉移步驟先將 Cadence 的 Schematic Library 轉移至 Laker ADP 軟體內。</p>

	<p>B. 開啟 Laker ADP 軟體後，開啟 Open cell 視窗後，選擇 EDIF 200 轉移至 Laker ADP 的 Schematic Library，再按滑鼠右鍵選擇 Change Reference，此時會出現 Change Reference Library 視窗。</p> <p>C. 將 Reference Library 指定至用 Laker TSMC018 PDK (tsmc18rf library)後，再開啟 Laker 軟體後，執行 File→Expand Schematic 功能，model map 部份請選擇 Laker TSMC018 PDK 資料夾內所附的 map file 即可。</p>
3.	<p>[laker] 當使用 Laker L3 功能進行光罩布局工作時，若在中途遇到需修改原電路圖，發生修改後電路圖與當前 Laker L3 的光罩布局資料庫不同步的情況，該如何解決？</p>
	<p>A. 首先開啟 Laker SDL TCL 功能。在 source laker.cshrc 後，在 terminal 下鍵入 setenv LAKER_TCL_L3 1 後，再開啟 laker 軟體，此時即可在 laker design window 下看到 SDL TCL 選項。</p> <p>B. 確定開啟 SDL TCL 功能後，執行 LAKER ECO 功能，在 Laker main window 視窗選擇 File → Expand Schematic，填選 Basic 與 ECO 欄位。</p> <p>C. 在 ECO 欄位的 Reference Library 選擇當前光罩布局的 layout library。</p> <p>D. 開啟執行 ECO 步驟後的 cell layout，此時在 design window 的 design browser 視窗，Laker 軟體會列出 Schematic 與 Layout 間的不匹配狀況。</p> <p>E. 執行 SDL TCL→ After ECO，Laker 即會自動修正上述的不匹配狀況，若遇到 After ECO 功能無法修正的不匹配錯誤，則可透過手動修正，直到 Design browser 上的不匹配錯誤標示解除為止。</p>
4.	<p>[laker] 在使用 Laker L3 功能執行光罩布局工作時，發生 Flight Line 功能關閉時，該如何開啟？</p>
	<p>A. 請至 Laker 的 main window 視窗，選擇 Options → Preferences →Connectivity → 啟動 Show Flight Line，即可重新開啟 Flight Line 功能。</p> <p>B. 重新開啟 Cell Layout 視窗，即可觀察到 Flight Line 功能已被重新開啟</p>
5.	<p>[laker] 如何增加 Layout 備份的數目與選取備份的資料？</p>
	<p>A. 請至 Laker 的 main window 視窗，選擇 Options → Preferences →Limits → Number of Backup Versions 填入欲備份的 Layout 數量。</p> <p>B. 開啟 Laker Open Cell 視窗時，選擇某一 Cell 的 Layout View 再按滑鼠右鍵即會出現 Backup 選單，即可選取某一儲存時間點之 Cell Layout。</p>
6.	<p>[NanoSim] 如何產生供 nanosim 模擬使用的 vec 檔案？</p>
	<p>想產生 Nanosim 模擬用的 vec 檔案內容，可以透過 Verilog 模擬時使用的 test bench 來產生該 vec 檔案內容。例如在 design.v 裡有三個主要輸出入腳位，分別是 clock, in 與 out，搭配 design.v 模擬的 test bench 檔案為 design.vt，可參考增加下面描述的內容將 clock, in 與 out 等三個主要輸出入資料透過 verilog 模擬時產生於 design.vec 檔案內。</p>

	<pre>[user@server ~] # nedit design.vt always @(clock) begin \$fwrite(outputfile, "%d %b %b %b\n", \$time, clock, in, out); end initial begin outputfile = \$fopen("design.vec"); \$fwrite(outputfile, "type vec\n"); \$fwrite(outputfile, "signal clock in out\n"); \$fwrite(outputfile, "radix 1 1 1\n"); \$fwrite(outputfile, "io i i i\n"); end</pre>
7.	<p>[NanoSim] 在 queue server 上進行 nanosim 模擬時，想調整製程變動參數的方式，即更換 TT corner 參數為 SS corner 參數，該如何做？</p>
	<p>在完成 queue server 的 LPE 功能後，設計者應會得到的 result 目錄內供參考使用的 spice.header 檔案，設計者就該檔案內容對製程設定調整為 SS corner 後，提供 nanosim 模擬使用即可：</p> <pre>[user@server ~] # nedit spice.header ***** Do NOT Remove First Line ***** .lib 'mm0355v.l' SS</pre>
8.	<p>[NanoSim] 在 queue server 上進行 nanosim 模擬，出現 netlist error message 時，該如何解決？</p>
	<p>在 queue server 上進行 nanosim 模擬時，請設計者提供「-nspice」參數後面的第一個電路描述檔案，必須是 queue server 上 LPE 功能後的得到的電路描述檔案，而其它的 spice.header 檔案或設計者的電路描述檔案，必須排列在 LPE 功能後的得到的電路描述檔案後面即可。</p>
9.	<p>[NanoSim] mixed-signal design 是否可以透過 queue server 來執行 nanosim 模擬？</p> <p>mixed-signal design 是可以透過 queue server 來執行 nanosim 模擬的。設計者可以採用 Verilog-top 或 SPICE-top 方式，來使用 queue server 進行 nanosim 混合訊號電路模擬，詳細使用方式可參考寒暑假 Nanosim 訓練課程講義內容。</p>
10.	<p>[Virtuoso] 使用 Virtuoso 軟體 layout 時，如何搭配 Calibre 軟體進行 DRC 等驗證？</p> <p>請利用下列 source 指令完成軟體環境建置：</p>
	<pre>[user@server ~] # source /usr/cad/cadence/CIC/ic.cshrc [user@server ~] # source /usr/cad/mentor/CIC/calibre.cshrc</pre>

在登入的 Home 目錄下，確認「.cdsinit」檔案內容如下：

```
[user@server ~] # nedit ~/.cdsinit
setSkillPath(". ~ /usr/cad/mentor/calibre/cur/shared/pkg/icsv/tools/queryskl ")
load("calibre.skl")
```

即可使用 Virtuoso 軟體搭配 Calibre 軟體進行 DRC 等驗證。

11. [Virtuoso]使用 Virtuoso 軟體時發現 hotkey 功能無法使用時，該如何重新啟用？

請以 root 權限檢查 Cadence Virtuoso 軟體設定，步驟如下：

```
[root@server ~] # mkdir /usr/cad/cadence/IC/cur/tools/dfII/local
[root@server ~] # cp /usr/cad/cadence/IC/cur/tools/dfII/samples/local/cdsinit
/usr/cad/cadence/IC/cur/tools/dfII/local/.cdsinit
```

即可恢復 Virtuoso 軟體的 hotkey 功能。

12. [virtuoso] Cadence Virtuoso 軟體無法使用，如何更換 license server？

本中心提供的 license server 有六台，分別是台灣大學 (lsntu)、中央大學 (lsncu)、交通大學 (lsnctu)、中興大學 (lsnchu)、成功大學 (lsncku) 與 CIC (lscic)。請以 root 權限檢查 Cadence Virtuoso 軟體 license 設定，步驟如下：

```
[root@server ~] # nedit /usr/cad/cadence/IC/cur/share/license/clients
* 5280@lsntu
```

上例內容是設定 Virtuoso 軟體的 license server 至台灣大學(lsntu)；

13 [Cell-based]如何將 lef 轉成 FRAM？

轉換 LEF to Fram 可以透過 Milkyway 作轉換，其介面與 Astro 相似，而且新的語法隨著 Milkyway 版本演進到 2012 不斷地更新與支援，會比 Astro 更好用！
像 TSMC 40nm 就只能使用 Milkyway 工具作轉換，無法在使用 Astro 作轉換(因為語法支援度太舊)新的 Milkyway 使用方式如下：

Milkyway -galaxy &

至於轉換 LEF to FRAM 的 Script 如下：

```
define lib_name "cel_name"
define tech_file "/tsmc090_9lm_2thick.tf"
define data_path "../lef"
```

cmCreateLib


```
setFormField "Create Library" "Library Name" lib_name
setFormField "Create Library" "Technology File Name" tech_file
setFormField "Create Library" "Set Case Sensitive" "1"
formOK "Create Library"
```

```
cmSetBusNameStyle
formDefault "Set Bus Naming Style"
setFormField "Set Bus Naming Style" "Library Name" lib_name
setFormField "Set Bus Naming Style" "Bus Naming Style" "[%d]"
formOK "Set Bus Naming Style"
```

```
read_lef
formDefault "Read LEF"
setFormField "Read LEF" "Library Name" lib_name
setFormField "Read LEF" "Manual Library Prep Mode" "1"
setFormField "Read LEF" "Cell LEF Files" (string-append data_path "/" lib_name
".vclef")
setFormField "Read LEF" "Manual Library Prep Mode" "0"
formOK "Read LEF"
```

```
;;-----
;;Note: Uncomment following to load ANTENNA lef data
;;-----
```

```
read_lef
formDefault "Read LEF"
setFormField "Read LEF" "Library Name" lib_name
setFormField "Read LEF" "Manual Library Prep Mode" "1"
setFormField "Read LEF" "Cell LEF Files" (string-append data_path "/" lib_name
"_ant.clef")
setFormField "Read LEF" "Manual Library Prep Mode" "1"
formOK "Read LEF"
```

exit

注意：只有前三行需要作設定，例如：

```
define lib_name "sram_1024x8"
define tech_file "./tsmc090_9lm_2thick.tf"
define data_path "./"
```

PS: ./ 表示為目前目錄之意！

	<p>請按照下面步驟作：</p> <pre>setenv LD_LIBRARY_PATH /usr/cad/spring_soft/verdi/cur/share/PLI/VCS/LINUX setenv VCS_LINK_PATH /usr/cad/spring_soft/verdi/cur/share/PLI/VCS/LINUX</pre> <p>然後才可以跑模擬：模擬範例如下</p> <pre>vcs -R testfixture.v chip_syn.v -v tsmc18.v -P /cad/spring_soft/verdi/cur/share/PLI/VCS/LINUX/novas.tab /cad/spring_soft/verdi/cur/share/PLI/VCS/LINUX/pli.a</pre> <p>環境變數一定要設！ Testbench 也要加：</p> <pre>\$fsdbDumpfile("CHIP_syn.fsdb"); \$fsdbDumpvars;</pre> <p>這樣才可以正常產生 fsdb 檔案！</p>
15.	<p>[TCAD] 現在無法使用 TCAD 軟體，請問這問題要如何解決呢？</p>
	<p>本中心自 2011/04 起與 Synopsys 公司簽訂新的軟體合約，由於 Synopsys 公司之學術專案(University Program)軟體清單中已不再包含 TCAD 軟體，故本中心自 2011/05/15 起將無法再提供 TCAD 軟體之授權、下載與技術諮詢服務，而且因 TCAD 已不包含在 University Program 中，購買其使用權已無法得到以往的優惠價，故不再提供使用服務。</p> <p>目前國家高速網路與計算中心(國網中心)對學術界有提供 TCAD 軟體使用服務，若您有 TCAD 軟體需求，可以向國網中心申請 TCAD 軟體服務。</p> <p>國網中心網址為：</p> <p>http://www.nchc.org.tw/tw/</p> <p>國網中心 TCAD 軟體服務網址為：</p> <p>http://service.nchc.org.tw/acct/wpkg_item.php?qk=Sentaurus}TCAD&qgif=</p>
16.	<p>[TMAX] TMAX 軟體舊版可以產生 verilog format 好讓 ATPG 產生後可以跑模擬，但是新版的 TMAX 卻找不到此 Format，請問要怎麼產生呢？</p>
	<p>請先用舊的語法產生 STIL 格式，然後多打個指令如下：</p> <pre>write_testbench -input CHIP.pat -output ATPG_testbench.v -replace</pre> <p>就可以把 STIL 轉換一個 Verilog 格式的檔案！</p>
17.	<p>[DFT compiler] DFT compiler 在進行 DFT insertion 之後執行 dft_drc 出現大量的 CLOCK 類別的 violation 其中大多是 Clock as data different from capture clock for stable cell violations (C26)這種 violation 該如何處理？</p>
	<p>請同學打開 auto fix 的功能，針對 clock, reset, set 造成的 violation 做修正。</p> <pre>set_dft_configuration -fix_clock enable set_dft_configuration -fix_reset enable set_dft_configuration -fix_set enable</pre> <p>若仍無法解決 violation 請檢查 verilog code 有沒有讓 reset 和其他訊號運算的情形。</p> <p>例如</p>

```
if(reset && counter == 0)
```

應改為

```
if(reset)
```

```
else
```

```
if(counter ==0)
```

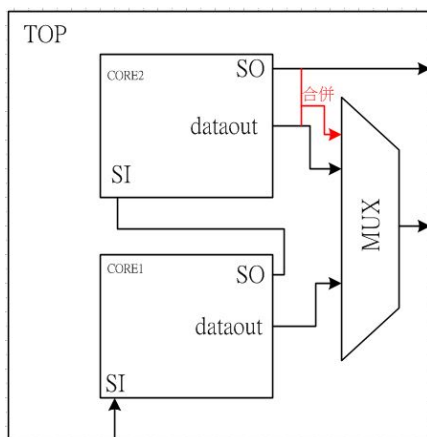
18. [DFT compiler] DFT compiler 在使用 set_dft_signal 時使用到的參數-existing_dft 和 -specification 這兩個參數要什麼時候使用？

在 design 還沒有加入任何 dft 之前，針對 scan clock, reset 請使用-existing_dft 針對 scan in/out, scan enable, test mode 請使用-specification。

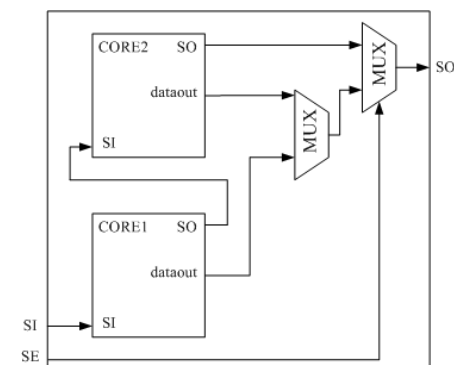
19. [TetraMAX] 在使用 TetraMAX 時已經成功把 design 和 technology file 都讀進 TetraMAX 裡，但是一直卡在 DRC 這個階段，請問還少什麼檔案？

在完整的 scan synthesis flow 會產生.spf(STIL Procedure File)，請在 DRC stage 執行 run_drc design_name.spf，如 scan synthesis 是正確的就可以進到下個 TEST stage。如果有出現 violation 請回到 scan synthesis flow 完成修正。

20. [DFT] 如果 top level 產生 ATPG 時，如圖示說明：兩個 CORE 分別產生 scan chain 後我在 top level 將兩個 CORE 的 scan chain 做連接，
那問題是圖示中 SO 是直接拉到 pad 上，但我想要 CORE2 的 SO 和 CORE2 的 dataout 做合併後通過 MUX 在到 pad 上這樣就可以省下一根 pad，請問該怎麼弄才能讓 dv 知道我要通過 mux？



要省下 SO pad 比較建議的架構是下圖



	<p>利用 SE 讓 dataout 和 SO share 一個 pad，這個好處是可以讓 DV 直接產生出 ATPG 需要的 test protocol，省去手動修改的麻煩。</p> <p>作法是在 TOP 做 synthesis 的時候設定 SO port 的指令改為下面這個 set_dft_signal -view spec -port "TOP 中第一個 MUX 的 output" -type ScanDataOut 其他流程就和你原來相同就可以了。</p>
21.	<p>[DFT] 想請教若要在 CIC 下線，一定得插入 DFT 才能下線嗎？</p> <p>若不加入 DFT 請提出可供評議人員參考的測試方法，例如使用 TetraMAX 的 Sequential ATPG 產生的 test pattern 可以達到足夠的 test coverage。</p>
22.	<p>[PrimeTime] 請問使用 synthesis 後 dump 出 VCD 檔，無法再 primetime 讀入，該如何解決？</p> <p>請您在 vcd 檔前指定絕對或相對路徑即可</p> <pre>pt_shell> read_vcd ../run_sim/power.vcd -strip_path top_tb/top_1</pre> <p>=====</p> <p>Summary:</p> <p>Total number of nets = 4309</p> <p>Number of annotated nets = 4309 (100.00%)</p> <p>Total number of leaf cells = 3901</p> <p>Number of fully annotated leaf cells = 3901 (100.00%)</p> <p>=====</p>
23.	<p>[Memory] 請問 T18 memory compiler 是否可在 linux 執行？</p> <p>目前只支援 solaris 系統。</p>
24.	<p>[NC-Verilog] 使用 NC-verilog 時，無法 dump fsdb file,請問要如何解決此問題？</p> <p>請在 source nc verilog 的環境設定檔前先 source verdi 的環境設定檔。</p>
25.	<p>[NC-Verilog] 關於 ncoverilog 這個軟體是 CIC 提供的哪一個軟體呢？</p> <p>Incisive Enterprise Simulator</p>
26.	<p>[APR] 完成 APR 之後開啟 Verilog 檔案，會發現 IO Power pad 是未連接的， "PVDD2DGZ_33 io_vdd1 (.VDDPST33 (SYNOPSYS_UNCONNECTED_144));"， 請問這是正常的嗎？</p> <p>是正常的，不需理會</p>
27.	<p>[APR] 完成 APR 之後開啟 Verilog 檔案，不會看到 Core Power pad，請問這樣正常嗎？一開始用來計算 SDF 的 PDB12DGZ 或 PDB24DGZ 需要自己在哪個步驟加入嗎？</p> <p>Power pad 和 function 沒有關係，因此 Verilog 內沒有 power pad 是正常的，IO Pad 必須在合成前或是 APR 之前，手動以 gate-level 連線方式加入</p>
28.	<p>[APR]加 PAD 做完合成後 clock period 可以到 5.5 ns，模擬結果也都正確，但是 CTS 做完加上最佳化後 slack 總是差 0.2 ns 左右，因此我調整 period 到 6 或是 6.5 再做一次 CTS，但是仍然會差 0.1 ns，請問這個問題有什麼方法可以解決呢？</p>

	做完 cts timing 的情況的確會變差，建議可以在下一次 clock_opt 或是等到 route 時再一起修
29.	[APR]在打 IO Text 時，只需要在 PAD 即可，還是說一定要打在 PAD 中心有一個小小的 I 藍色方格內？
	必定要打在小方框裡(true pin)
30.	[Qserver] 只有在 Q server 執行 DRC 驗證時需要加上 -addTagCell 指令出現 CIC 辨識層嗎？
	如只做 drc，不需要
31.	[Synthesis] 想請問 verilog 語法 reg[9:0] ram[31:0]; 這種寫法 Design Compiler 合成出來是 10X32 的 Memory 還是 320X1 的 Buffer? 有辦法變成 32 個 10bit 的 register 嗎？
	這種寫法 Design Compiler 合成出來是 32 個 10bits Data Bus 寬的 Memory! 只是說 需要花到 32x10 = 320 個 FF Cells 另外建議語法改為 reg[9:0] ram[0:31]
32.	[Simulation] 為什麼只有用 core 模擬的時候 in/out put 都有訊號，但是包上 pad 之後，訊號都不見了？
	請放慢 CLK 的速度, io pad 在 verilog model 中有設定他的速度上限，超過之後全部都是 unknow 訊號
33.	[NcVerilog] 如何使用 ncoverilog complier VHDL code
	請問您是使用 VHDL 程式語言撰寫成的 design 嗎？如果是的話請使用 ncvhdl xxxx.vd 來 compile 您的 design 如果您是使用 verilog 程式語言撰寫成的 design, 請使用 ncoverilog xxxx.v 來 compile 您的 design.
34.	[NcVerilog] 可以 dump 出 vcd，但是 fsdb 會出錯。錯誤訊息為： \$fsdbDumpfile("Informax_top.fsdb"); ncsim: *E,MSSYSTF (./test_informax_v1.v,60 13): User Defined system task or function registered during elaboration and used within the simulation has not been registered during simulation. \$fsdbDumpvars; ncsim: *E,MSSYSTF (./test_informax_v1.v,61 13): User Defined system task or function registered during elaboration and used within the simulation has not been registered during simulation.
	若要使用 FSDB DUMP 的話 需要再 ncoverilog simulation 前先 source Verdi 的 license，這樣才能正常使用 fsdbDump 請先打 source /usr/cad/spring_soft/CIC/Verdi.cshrc 以上路徑須視您的實際安裝路徑修改
35.	[Verilog] 若 F_IO_A 及 F_IO_B 為 bidirection port(雙向 port)的話 想請問以下程式碼的作用為何？

	<pre>wire [7:0] F_IO_A = (F_REN_A_en) ? F_IO_A_reg : 'hz;</pre> <pre>wire [7:0] F_IO_B = (F_REN_B_en) ? F_IO_B_reg : 'hz;</pre> <p>為何另外寫這兩行程式碼，其作用為何?</p>
	<p>因為 F_IO_A 及 F_IO_B 為雙向的 port，先假設此 port 為只有一個 data port 的記憶體所使用，故 data 的 read 與 write 動作皆用同一 Port，所以為保險起見，在 DUT 不進行 read 的時候就將 read 端的控制權放開(所以給 Z 的訊號)，如此才可讓 Write 需要執行時，Write 資料不致與 Read 資料互相碰撞。</p>
36.	<p>[Veridi] 我的 test_bench 描述如下</p> <pre>initial begin</pre> <pre>\$fsdbDumpfile("abc.fsdb");</pre> <pre>\$fsdbDumpvars();</pre> <pre>end</pre> <p>在 verdi 中執行 simulation 時會出現 Error - Verilog-TOFD 想請問在 Verdi Tools => Preferences... => Simulation 中的 simulator Executable Path : Options :要如何設定才能成功的 dump 出 fsdb 來</p>
	<p>自從 2010 年以後 verdi 的版本，interactive mode 的功能就沒有支援了。所以不行使用 verdi 來執行 simulation 這項功能。若要 dump fsdb 請使用 ncverilog 或 vcs 或 modelsim 等模擬軟體，執行模擬前請先 source verdi 的環境設定檔。</p>
37.	<p>[nc_verilog] 在跑 ncverilog 時跑出以下錯誤訊息</p> <pre>ncelab: *W,MXWARN: Reached maximum warning limit for 'CUVWSP'(1000).</pre> <pre> \$fsdbDumpfile("SCP_D12_apr_wc_BIST.fsdb");</pre> <pre>ncelab: *W,MISSYST (./test_SCP_D12_avf_0215.v,456 20): Unrecognized system task or</pre> <pre>function (did not match built-in or user-defined names) [2.7.4(IEEE Std 1364-2001)].</pre> <p>If item was defined in a shared-object library, the problem could be:</p> <pre>libvpi.so: cannot open shared object file: No such file or directory or file is not valid</pre> <pre>ELFCLASS32 library.</pre> <pre>libpli.so: cannot open shared object file: No such file or directory or file is not valid</pre> <pre>ELFCLASS32 library..</pre> <pre> \$fsdbDumpvars(2,stimulus);</pre> <pre>ncelab: *W,MISSYST (./test_SCP_D12_avf_0215.v,461 18): Unrecognized system task or</pre> <pre>function (did not match built-in or user-defined names) [2.7.4(IEEE Std 1364-2001)]</pre>
	<p>dump fsdb，使用的 verdi 和 nc-verilog 都要相同的位元，都要是 32 位元的或是 64 位元的。不能一邊是 32 位元，另一邊是 64 位元。</p>
38.	<p>[NanoSim] 執行完 nanosim 後產生的 fsdb，程式顯示 fsdb 太新了無法用舊版的 nWave 打開要怎麼解決?</p>
	<p>請下載 CIC 最新版 verdi 程式就可以開啟了! 因為 CIC 的 Queue Server 都是用最新的來跑。</p>
39.	<p>[ICC] 在 icc 上要如何看到每個 module 的標示</p>

	請在 icc 的 Draw Hierarchy data on layout view > Reload > color specific hierarchical cells 選擇想要看到的 module 跟顏色 按下 ok 即可。
40.	[DFT] 請問我的 fault coverage 為何低到只有 80%?要怎麼提升?
	design 中因為有 memory 造成 fault coverage 無法提升，所以請先讀取.tv format for Memory Cell 之後執行 run_atpg full_sequential_only 並加個 full_sequential 參數，就可以達到 98~100%
41.	[Synthesis] 請問 reset 訊號在合成時是否要設定 false path?
	如果在 DC 合成時, reset 沒有處理 high fanout 問題, reset 的 loading 就會過重, 會影響到 Timing 表現, 但是事實上, 這問題不會發生, 因為正常 Function 運作時, Reset 訊號並不會動作, 所以, 可以先設定 set_false_path -from reset, 但是等到 APR 後, 就要針對 reset 作 HFS, 即 Buffer 推動級, 下線回來才會正常運作。
42.	[CTS] 我的 design 有 clock gating, 所以有使用 DFT Compiler 作 auto_fix clock 後卻多出現 data_source 的腳位, 請問要如何移除呢?
	clock gating 不是用 auto fix 來解決 請使用: set_clock_gating_style -control_point before (or after) -control_signal scan_enable 即可! 而 autofix 因為沒需要使用到, 就不要打該指令, 就不會多出 data source 腳位
43.	[CTS] 請問 CTS 後, 為何我的 clock skew 還是維持原先設定的 clock_uncertainty 的值?
	那是因為那些設定都是為 CTS 後得實際值預作保留, 所以真正作完 CTS 後這些指令必須移除 remove_clock_uncertainty [all_clocks] 所以要看到真的值, 需要打:set_propagated_clock [all_clocks] report_timing 就可以看到真的值了
44.	[Qserver] 在 Qserver 執行 DRC 驗證時發現 PO.R.8 錯誤, 但在 Qcalibre -drc 檢查結果卻無此項錯誤, 要如何解決?
	若此項錯誤發生在 I/O Pad 元件上的話, 請檢視每一組 power domain 是否只有唯一的一個 PVDD2POC 開頭命名的電源 Pad, 即可解決此問題。

FPGA 設計與流程問題

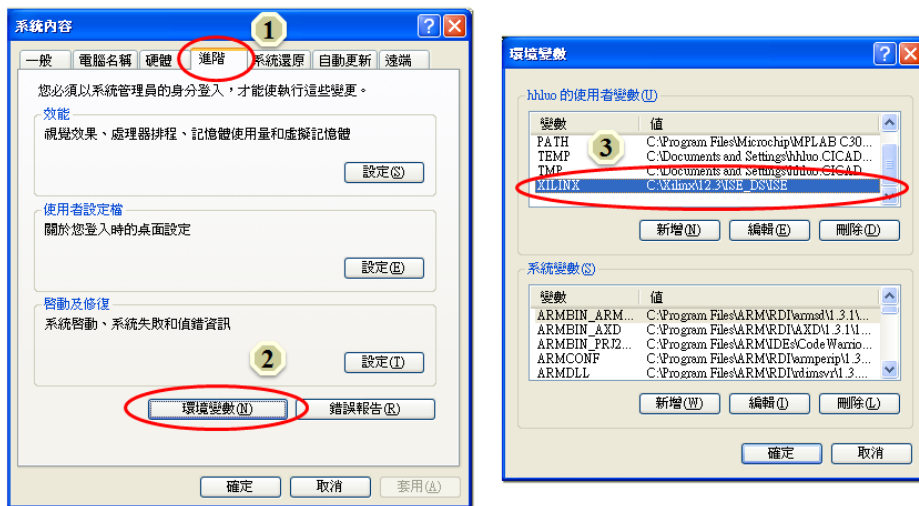
1.	[FPGA 軟體安裝] 如何安裝 Xilinx 的 Windows 版開發軟體? 使用者於 Xilinx 網站下載 FPGA 開發軟體後, 於解壓後直接執行該 xsetup.exe 並遵照說明指示進行操作, 即可在 Windows 環境下安裝各套件。
2.	[FPGA 軟體 license 設定]Windows 版如何設定 License(以 Synplify 為範例)? Synplify Premier 軟體採 Floating License 的方式, 亦即透過網路來 Check License。目前 CIC 於全省共配置 5 台 License Server, 依所分配區域不同學校共同使用, 若各位申請人安裝好軟體後, 各學校的用戶該 Check 那一台 License Server, 請依照

License_Setup.txt 中的 License Site Table 及各學校所在的地理位置來設定。
 首先，軟體完成後，即可進行 License 設定。License 設定請依下面順序操作：

- 先確認提供 License 服務的 License Server Host IP，在此以 140.126.24.10 為例進行說明。
- 我的電腦 mouse 右鍵 內容 進階 環境變數 使用者變數。
- 若無 LM_LICENSE_FILE 變數，則新增 LM_LICENSE_FILE 變數，並將變數值設為「26585@140.126.24.10」或「26585@lscic.cic.org.tw」。
- 若已存在 LM_LICENSE_FILE 變數，則確認其變數值如上正確無誤。

請注意，安裝軟體後的電腦 IP Address 需要向 CIC 進行登錄(可參考 <http://www.cic.org.tw> 網頁上的軟體申請須知)才能 Check 到 License，該 IP 需登錄為學校網域之實體 IP，且能進行 domain name 正反查。

3. [Synplify-Premier]Windows 版 XILINX 如何做環境設定才能與 Synplify Premier 整合?
 在電腦環境變數中，如下圖，設定 XILINX 軟體的安裝路徑。

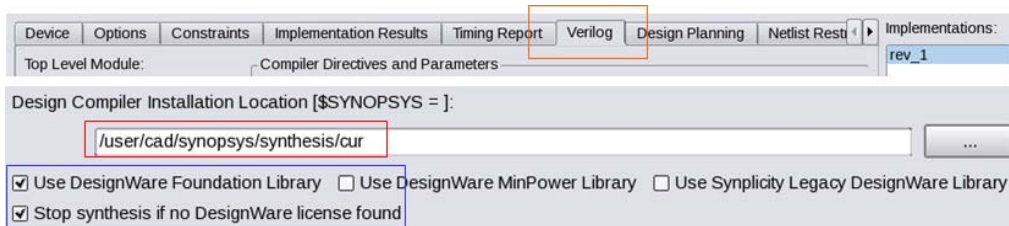


設定完成後確認 Synplify Premier 中有相關的設定連結。

4. [Synplify Premier] 用 Synplify Premier 時無法使用 XILINX 相關的控制選項。
 請參照 XILINX 環境設定_1.pdf。

5. [Synplify Premier]開啟軟體要用哪個指令。
 Windows 請選 Synplify Premier with DP
 Linux 請下 synplify_premier_dp

6. [Synplify Premier]如何設定使用 DesignWare Library
 請在 Design Compiler Installation Location，如下圖，將你安裝軟體的路徑填入，並且勾選想使用的 Library 類型。



7.	<p>[Quartus-II] 使用 license server 提供的 license,進行 compilation 時會出現以下錯誤: Error: Current license file does not support the EP2C35F672C6 device 或 (Error: Current license file does not support the XXXX device) 請問該如何解決?</p> <p>CIC 已將 Altera 開發軟體下架，故未提供相關之 license 服務。若有需要請向 Altera University Program 申請。</p>
8.	<p>[Xilinx ISE] 如何在 Windows 環境下設置 ISE/Vivado 的 license?</p> <p>CIC 已將 Xilinx 開發軟體下架，故未提供相關之 license 服務。若有需要請向 Xilinx University Program 申請。</p>
9.	<p>[HyperLynx 3D EM] CIC 是否有提供 Mentor Graphics HyperLynx 3D EM 軟體?</p> <p>Mentor Graphics 之 HEP 計畫授權 CIC 及台灣學術界許多 EDA 軟體，唯因 CIC 人力資源有限，僅將市面上主流之產品列在 CIC 下載清單中供學術界申請。HyperLynx 3D EM 軟體在 HEP 軟體授權範圍內，但因人力資源有限而未列入 CIC 下載申請清單中，因此無法自 CIC 官網進行軟體申請、下載。有需求者可請透過客戶諮詢系統進行諮詢，CIC 將以個案處理，設置臨時性 ftp 帳號供使用者下載，不便之處還請見諒。而 HyperLynx 3D EM 的 license 與其它 Mentor Graphics 軟體是同一 license，設定方式亦相同。</p> <p>若學術界使用者對 Mentor Graphics 之 EDA 產品有需求之特定軟體並未列在 HEP 內容中，亦可透過客戶諮詢系統進行諮詢，CIC 於議約時將試著爭取 Mentor Graphics 公司提供相關授權。</p>
10.	<p>[Xilinx ISE] 執行 ISE 時碰到下列訊息 WARNING:Security:43 - No license file was found in the standard Xilinx license directory. WARNING:Security:44 - Since no license file was found, 是否有影響 ISE 的使用?</p>
	<p>Warning 43 及 Warning 44 是指 Windows 平台環境的 ISE 在 default 位置沒找到 node locked license 檔。若有設定其他有效的 license source，則仍可正常使用 ISE。</p>
11.	<p>[Xilinx ISE] 執行 ISE 時碰到下列訊息 WARNING:Security:42 – Your license support version ‘2013.05’ for ISE expires in 24 days after which you will not qualify 是否有影響 ISE 的使用?</p> <p>Warning 42 是提醒使用者你的軟體 license support 保固期(warranty period)快結束了，在保固期結束前使用者仍可下載、更新 ISE 的版本。當保固期結束後，使用者若再進行版本更新將得到 license 不支援的 ERROR 訊息，但原先合法的版本仍是可繼續使用下去，其功能性並不會受到影響。</p>
12.	<p>[Xilinx] CIC 有提供 EDA 軟體，那硬體方面呢？請問 Xilinx 硬體平台該向誰洽談呢？ 可考慮支援 Xilinx 大學計畫的代理商。</p>
13.	<p>[Altera] CIC 有提供 EDA 軟體，那硬體方面呢？請問 Altera 硬體平台該向誰洽談呢？ 可考慮支援 Altera 大學計畫的代理商。</p>

14.	[Xilinx ISE] 在安裝 Xilinx ISE 的過程中出現下面這個 error 訊息，該如何處理? "Unable to open archive ...\Xilinx_ISE_DS_Win_12.2_M.63c.1.1\idata\drop_0054_ise.zip.xz. Please check file permissions."
	安裝 ISE 軟體時，安裝檔案應置於純英文字元所組成之目錄/路徑名稱下(如 c:\work)，若其中包含了空白或特殊字元(如中文字或 ASCII 控制碼)，即可能發生上述問題。常見的錯誤如將檔案放置在視窗桌面或目錄/檔名使用了中文字。
16	如何下載 Xilinx Vivado? 以及相關 license?
	CIC 已於日前公告並將 Xilinx 的 tools 下架，請有需要的使用者自行向 Xilinx XUP 計畫申請。Xilinx XUP 位於 Xilinx 公司官網 http://www.xilinx.com > Support > XUP (Xilinx University Program)。
17	怎樣才能讓 ISE/Vivado 模擬的值與 FPGA 跑的值一樣?
	這可能是 synthesis simulation mismatch，請參考 ISE/Vivado 的 coding style。
18	於安裝 Synplify 過程中會出現要求輸入 Site id 的地方，要如何處理？
	Site id 填「0000」即可。
19	工作站(Linux)下的 Synplify Premier 要如何設 license?
	以 csh/tcsh 為例，可以下面方式設定 setenv LM_LICENSE_FILE 26585@140.126.24.10
20	Synplify 在 Compile 時出現@N 跟@I 各代表什麼意思?
	@I 指的是 input file，指當時 tool 正在加入哪個檔案。 @N 指的是 note，是系統回饋給使用者的系統狀態。

系統整合與軟體問題

1.	[AndeSight] 按照網路上的方式設定 License，但 AndeSight 仍無法正常啟動
	ANDES 之 license 設定方式與本中心所提供之其他軟體不同，請直接啟動 AndeSight 並點選 Help ->License Type Switch (必須要快，否則 AndeSight 會自動關閉)以從 node license 形式切換為 floating license，並在設定畫面的 location 填入 lscic.cic.or.tw，port 填入 10098 後方可正常執行。
2.	[DS-5] 請問 DS-5 License file 如何設定？
	請開啟 DS-5 的 eclipse 介面，於 Help->ARM License Manager->Add License 設定視窗中設定 License Server 為 lscic2.cic.org.tw，Port 為 8224 或於環境變數中設定 ARMLMD_LICENSE_FILE 為 8224@lscic2.cic.org.tw
3,	[DS-5] 請問 DS-5 軟體支援主機的平台為何？
	DS-5 僅支援 64-bit x86 的作業系統，以下作業系統均可支援： Windows 10 Windows 7 專業版 Service Pack 1 Windows 7 企業版 Service Pack 1 Red Hat Enterprise Linux 7 工作站版

	<p>Red Hat Enterprise Linux 6 工作站版</p> <p>Ubuntu 桌面版 16.04 LTS</p> <p>Ubuntu 桌面版 14.04 LTS</p>
4.	<p>[DS-5] 如何設定 DS-5 以 D-STREAM 來除錯新 ARM 平台</p> <p>可以參考網頁 "How do I add bare-metal support for a new target in DS-5?" 有詳細說明及步驟(網址： http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.faqs/ka15562.html) 先用 dbhwconfig 程式設定新平台在 D-STREAM 的 rvi 設定檔，再以 cdbimporter 程式匯入 rvi 檔來產生 hardware debug configuration database，然後以 DS-5 匯入，並重新 build database，如此 DS-5 便可連接 D-STREAM 除錯此平台。</p>
5.	<p>[Platform-Architect] Platform Architect 執行時出現以下錯誤訊息</p> <pre>\$ [PCT0001 Error] Platform Creator No required license available : Cannot obtain license for "platform_creator_sysc".</pre> <p>這是軟體無法取得 license 的訊息，可能的原因非常多，請依序檢查下列步驟。</p> <p>A. 在環境參數檔 (pa.cshrc 或 PlatformArchitect.csh) 有確實設定 license if (\${?LM_LICENSE_FILE}) then setenv LM_LICENSE_FILE 26585@lscic:8224@lscic.cic.org.tw:\$LM_LICENSE_FILE else setenv LM_LICENSE_FILE 26585@lscic:8224@lscic.cic.org.tw endif</p> <p>B. 確認安裝 PA 軟體的工作站，其 IP 是否有登錄於 CIC 網頁 PA 軟體下載網頁的“IP 修改”功能頁面。(CIC 網站->設計服務->IP 登錄)</p> <p>C. 在工作站上使用”nslookup lscic.cic.org.tw”指令確認使否可用 DNS 反查 license server 的 IP；使用指令”ping lscic.cic.org.tw”確認工作站與 license server 間是否有路線可通。</p> <p>D. 校正工作站的時間設定。若工作站的時間設定和 license server 相差過遠，會遭到 license server 的拒絕。</p> <p>E. 若以上檢查皆無誤，但軟體啟動時仍不能取得 license，請透過客戶諮詢系統進行諮詢(CIC 網站->客服中心->客戶諮詢系統)。</p>
6.	<p>[Platform-Architect] 目前 PA 可以使用哪些軟體除錯環境？</p> <p>目前最新版的 PA 可以支援 ARM 的 DS-5 及 Synopsys 自身的 MetaWare，但 PA 與 DS-5 或 MetaWare 有版本上的匹配問題，若您在軟硬體共同開發時遭遇問題，請聯絡 CIC 客服中心 (CIC 網站->客服中心->客戶諮詢系統)。</p>
7.	<p>[DS-5] 使用 DS5 進行軟體編譯時，出現 License 錯誤 Error code: -39，請問要如何設定呢？</p> <p>由您的錯誤訊息來看 (Error code: -39)，應為 license server 判斷此電腦 IP 未在支援表列。</p>

<p>請參考 DS-5 -> Help -> Help Contents -> ARM DS-5 Documentation -> DS-5 General Information -> FlexNet Publisher Administration Guide</p> <p>該 pdf 文件中 chapter 20, Error Code Descriptions 中的說明 (User/host not on INCLUDE list for feature.)</p> <p>造成此錯誤的原因，可能有幾種：</p> <ol style="list-style-type: none"> 1. 申請 DS-5 使用權時，IP 表列未列入此電腦 IP，請檢查貴實驗室申請之 IP 表列，或使用其他 IP 在表列中的電腦安裝使用 DS-5 2. 該電腦 IP 列入 IP 表列，但學校網路未支援此 IP 的 domain name 反查，由於 flexlm server 會進行 domain name 反查，所以無法通過。此問題請洽貴校網管。 3. 使用電腦中安裝 vmware，或 virtual box，內建模擬網卡之軟體，會導致本機 flexlm token 無法繞出，請反安裝此類軟體。
--

ARM/Andes 處理器平台問題

1.	<p>當修改 CMSDK 參考設計平台，加入自己所寫的 AHB 硬體加速器後出現問題，要如何釐清問題發生在整合過程還是自己寫的 AHB wrapper 有問題？</p> <p>建議可以先以 CMSDK 內所附的 cmsdk_ahb_eg_slave 作為一個 golden 的 AHB IP，先試著將此參考設計整合進系統，並進行測試，確認整合的方法沒問題之後，再將 cmsdk_ahb_eg_slave 替換成擬自行開發的 IP，這樣就可以清楚問題點是發生在整合方面還是 IP 本身。</p>
2.	<p>請問 Arm Cortex-M0 有支援 flush pipeline 嗎？</p> <p>有。</p>
3.	<p>如何申請 ARM Cortex-M0 DesignStart Pro Academic?</p> <p>可直接於 AUP 網頁註冊帳號後，進行申請設計套件；待 AUP 審核通過後，即可下載相關套件。(此 DesignStart Pro Academic 版本提供 full RTL for the Cortex-M0 and Cortex-M3)。</p> <p>DesignStart for University 申請網址： https://www.arm.com/resources/designstart/designstart-university</p>
4.	<p>[Andes AX25 處理器平台] 如何開始我的專案？</p> <p>請研讀 AndesCore™ AX25 Data Sheet 文件(AndesCore_AX25_DS142_Vx.x.pdf: x.x 版本編號)，文件中有許多配置設定、模擬、合成、FPGA 等等各項流程的操作指引。</p>
5.	<p>[Andes AX25 處理器平台] 無法進行模擬/合成/找不到目錄</p> <p>Design Kit 內有一個環境參數設定檔 env.csh，在專案工作前請 source 此一檔案，並確認其中各軟體安裝路徑設定為正確。</p>

AI Lab 申請問題

1.	[AI Lab] 如何申請 AI 實驗室設備使用？
----	---------------------------

	請參考本中心網站->設計服務->AI終端系統開發實驗室頁面的說明。目前我們以e-mail方式申請預約，試營運期間，使用時間限週二及週四上班時段，未來本中心會視使用情況進行調整。
2	[AI Lab]申請AI實驗室設備使用的資格？
	<p>1. DGX Station & Drive PX2 只要您的研究是AI終端系統/車用系統，都可以申請。</p> <p>2. Palladium/ZeBu仿真器與HAPS-80離型驗證系統 不限於AI/深度學習相關研究，只要您的研究是大型SOC系統都可以申請。但您的專案必須先通過RTL模擬驗證。</p>

量測相關問題

1.	[Measurement] 詢問欲使用 93000 量測進行量測，該準備哪些資料到 CIC
	請參考 CIC 網站>晶片量測>Advantest V93000 PS1600 內的參考文件產生測試向量檔並準備下線時的晶片打線圖
2.	想請問一下關於數位 IC 晶片，要如何量測，是否為到 CIC 使用 CIC 所提供的設備來量測。
	<p>並未規定必須使用 CIC 之量測儀器量測晶片方可繳交下線報告 但建議使用 CIC 的 Advantest V93000 PS1600 自動測試機台來量測晶片，其為業界使用的量產型機台因此量測結果與內建的測試功能均可完全符合晶片量測的需要 若需要的話，請上 CIC 網站預約。預約方式詳閱 CIC 首頁 > 量測服務。 若您想自行量測的話，亦可使用邏輯分析儀+測試訊號產生器+電源供應器來量測您的數位晶片。</p>
3.	因為目前晶片的 io power pad 和 core power pad 有點多，可能會用到 COB320 的 DUT，那想請問有沒有可能晶片在封裝的時候請他把 io vdd iovss corevdd corevss 分別 group 起來，然後使用比較少 pin 腳的 DUT?如果可以的話，晶片在設計時 io 擺放位置需不需要注意(例如要放在 stagger bonding pad 外圈的位置比較好拉線)?
	因為目前晶片的 io power pad 和 core power pad 有點多，可能會用到 COB320 的 DUT，那想請問有沒有可能晶片在封裝的時候請他把 io vdd iovss corevdd corevss 分別 group 起來，然後使用比較少 pin 腳的 DUT?如果可以的話，可以，但是這須請您自行跟封裝廠說明需要這樣的封裝方式。晶片在設計時 io 擺放位置建議 P/G pad 放在外圈，這樣才可進行剛提到的 P/G group 或 P/G rings
4.	量測儀器是否能支援 closed-loop 量測，也就是信號的 pattern 是等到 chip 發送一些 control signal，再把 pattern 餵進去的的方式來進行?
	可以，建議量測前先來電說明一下所想要的輸入方式。